

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

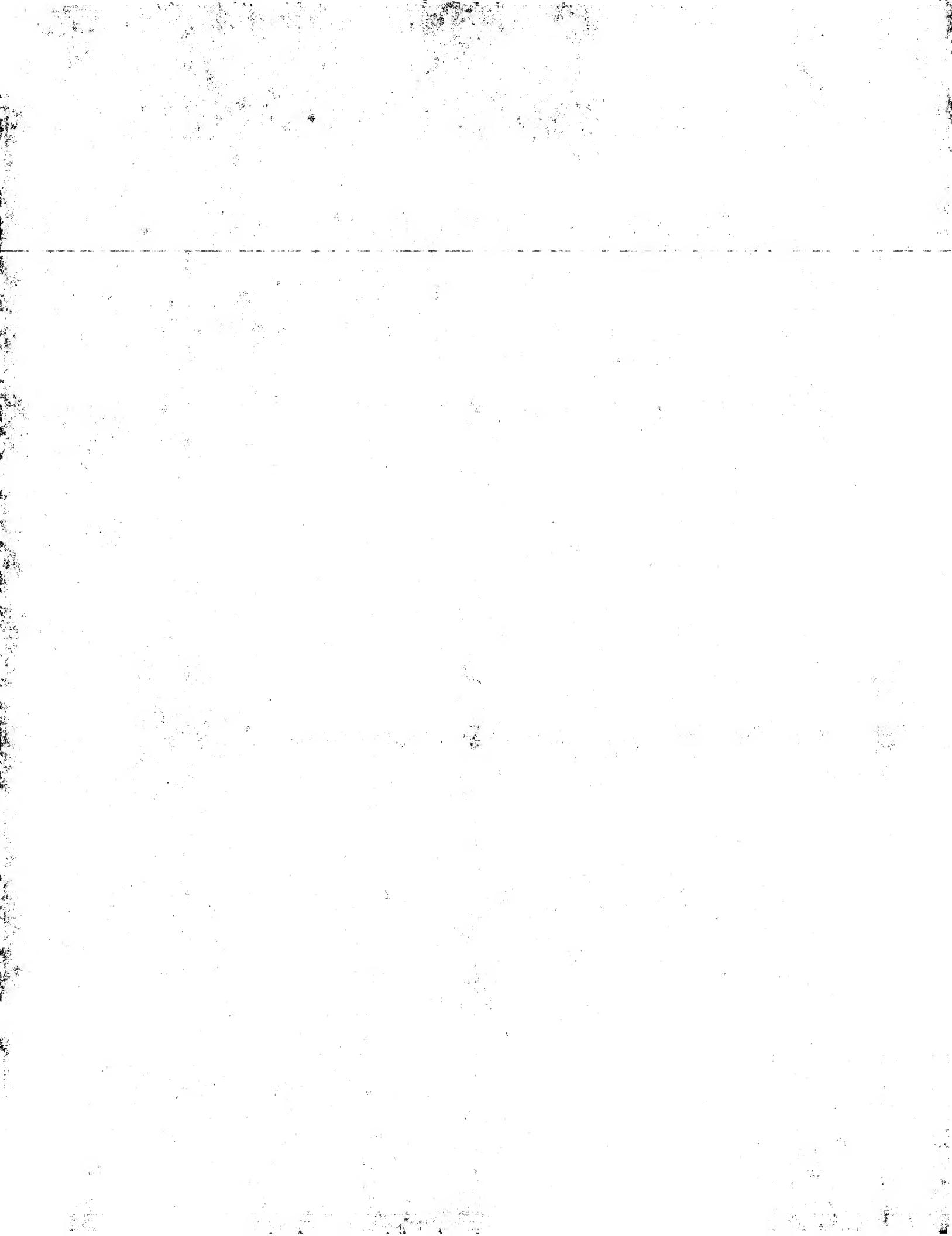
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Patent Number: JP11251293

Publication date: 1999-09-17

Inventor(s): YAMAZAKI KAZUO; ARAI HIROMASA; KOJIMA MASAYUKI; KATSUYAMA KIYOMI; SHIOYA MASAHIRO; YASUDA MASAYUKI; MIYAZAKI TAKAYUKI; OTSUKA MINORU; KAERIYAMA TOSHIYUKI; NISHIMURA MICHIO

Applicant(s): HITACHI LTD.; TEXAS INSTR JAPAN LTD

Requested Patent: JP11251293

Application Number: JP19980050881 19980303

Priority Number (s):

IPC Classification: H01L21/3065

EC Classification:

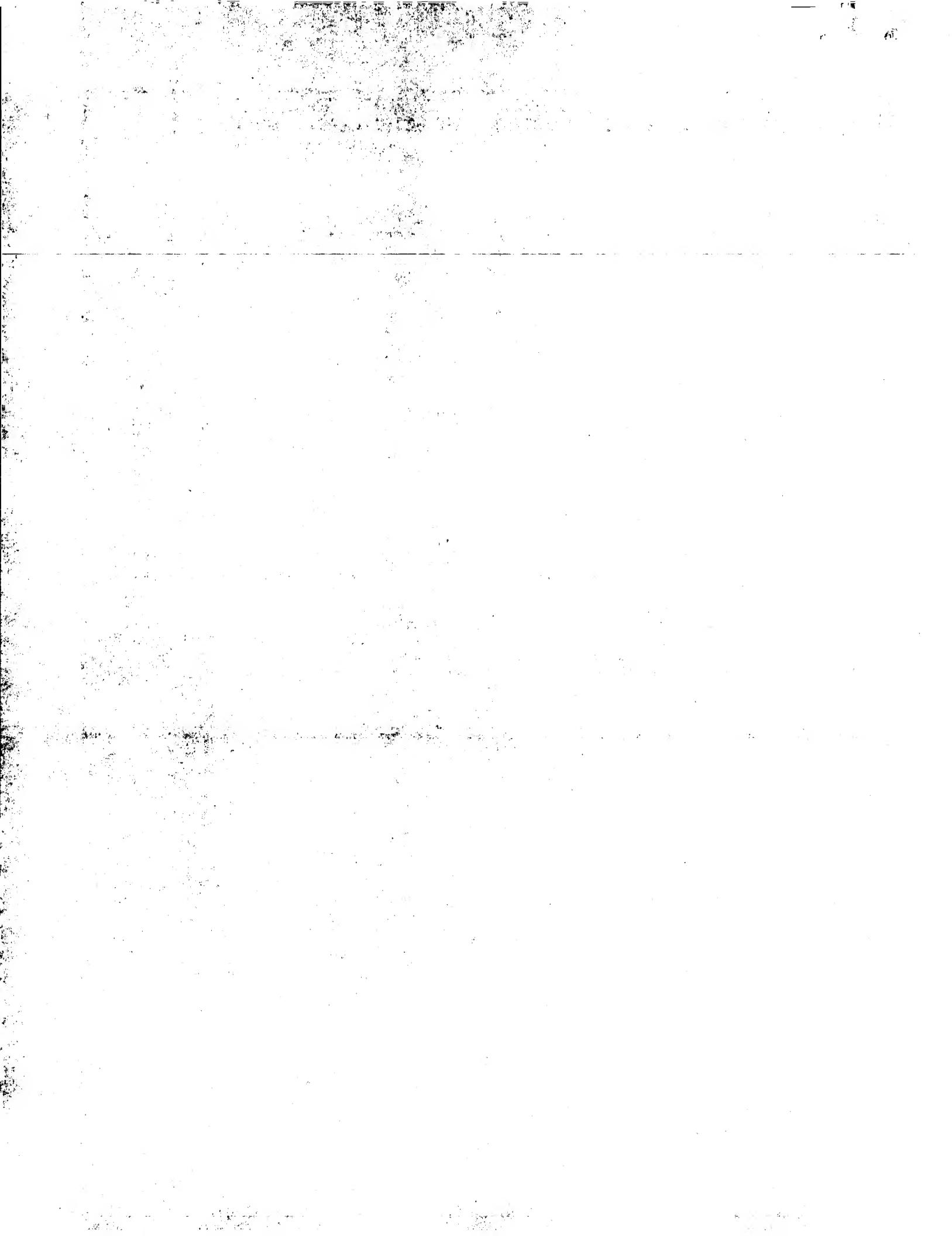
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To reduce the shave-off amount of an insulation film surrounding the connection holes and size shift amount of the connection holes, when removing a characteristics deteriorated layer after the formation of the connection holes by the SAC technique.

SOLUTION: After connection holes 11a are bored self-alignedly into an insulation film 8 and a layer insulation film 9a on a semiconductor substrate 1 by a highly selective etching, a slightly anisotropic dry etching using a CF₄ /Ar, CF₄ /O₂ or CF₄ /O₂ /Ar gas is applied so as to remove a characteristic-deteriorated layer formed on the exposed part of the semiconductor substrate 1, due to boring of the connection holes 11a by the highly selected etching.

Data supplied from the esp@cenet database - I2



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-251293

(43)公開日 平成11年(1999)9月17日

(51)Int.Cl.⁶

H 01 L 21/3065

識別記号

F I

H 01 L 21/302

F

審査請求 未請求 請求項の数10 OL (全 29 頁)

(21)出願番号 特願平10-50881

(22)出願日 平成10年(1998)3月3日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 390020248

日本テキサス・インスツルメンツ株式会社
東京都新宿区西新宿6丁目24番1号 西新宿三井ビル

(72)発明者 山崎 一雄

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(74)代理人 弁理士 筒井 大和

最終頁に続く

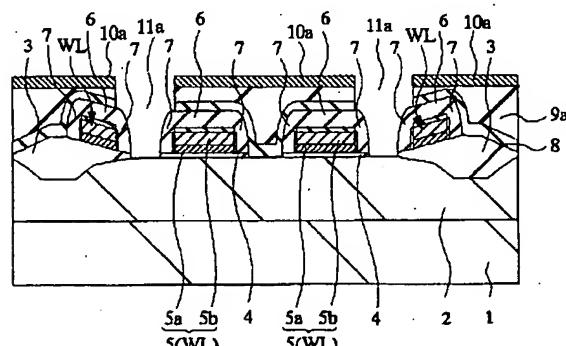
(54)【発明の名称】 半導体集積回路装置の製造方法

(57)【要約】

【課題】 SAC技術により接続孔を形成した後の特性劣化層の除去処理に際して接続孔の周りにおける絶縁膜の削れ量および接続孔の寸法シフト量を低減する。

【解決手段】 半導体基板1上の絶縁膜8および層間絶縁膜9aに接続孔11aを高選択エッチング処理により自己整合的に穿孔した後、CF₄ / Ar、CF₄ / O₂またはCF₄ / O₂ / Arガスを用いた若干異方性のドライエッチング処理を施すことにより、接続孔11aを高選択エッチング処理で穿孔した際に半導体基板1の露出部に形成された特性劣化層を除去する。

図2



【特許請求の範囲】

【請求項1】 半導体基板上に形成された第1の絶縁膜とそれを覆う第2の絶縁膜とのエッチング選択比を大きくした状態でのエッチング処理を施すことにより下層の接続部が露出する接続孔を自己整合的に形成するセルフアラインコンタクト工程を有する半導体集積回路装置の製造方法であって、前記接続孔の形成後に四フッ化炭素を含むエッチングガスを用いた異方性のドライエッチング処理を施す後処理工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項2】 半導体基板上に形成された第1の絶縁膜とそれを覆う第2の絶縁膜とのエッチング選択比を大きくした状態でのエッチング処理を施すことにより下層の接続部が露出する接続孔を自己整合的に形成するセルフアラインコンタクト工程を有する半導体集積回路装置の製造方法であって、前記接続孔の形成後に四フッ化炭素を含むエッチングガスを用いた異方性のドライエッチング処理を施す後処理工程と、前記後処理工程後に化学的ドライエッチング処理を施す工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項3】 半導体基板上に形成された第1の絶縁膜とそれを覆う第2の絶縁膜とのエッチング選択比を大きくした状態でのエッチング処理を施すことにより下層の接続部が露出する接続孔を自己整合的に形成するセルフアラインコンタクト工程を有する半導体集積回路装置の製造方法であって、前記接続孔の形成後に四フッ化炭素およびアルゴンを含むエッチングガスを用いた異方性のドライエッチング処理を施す後処理工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項4】 半導体基板上に形成された第1の絶縁膜とそれを覆う第2の絶縁膜とのエッチング選択比を大きくした状態でのエッチング処理を施すことにより下層の接続部が露出する接続孔を自己整合的に形成するセルフアラインコンタクト工程を有する半導体集積回路装置の製造方法であって、前記接続孔の形成後に四フッ化炭素を含むエッチングガスを用いた異方性のドライエッチング処理を施す後処理工程と、前記後処理工程後に化学的ドライエッチング処理を施す工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項5】 半導体基板上に形成された第1の絶縁膜とそれを覆う第2の絶縁膜とのエッチング選択比を大きくした状態でのエッチング処理を施すことにより下層の接続部が露出する接続孔を自己整合的に形成するセルフアラインコンタクト工程を有する半導体集積回路装置の製造方法であって、前記接続孔の形成後に四フッ化炭素および酸素を含むエッチングガスを用いた異方性のドライエッチング処理を施す後処理工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項6】 半導体基板上に形成された第1の絶縁膜とそれを覆う第2の絶縁膜とのエッチング選択比を大き

くした状態でのエッチング処理を施すことにより下層の接続部が露出する接続孔を自己整合的に形成するセルフアラインコンタクト工程を有する半導体集積回路装置の製造方法であって、前記接続孔の形成後に四フッ化炭素および酸素を含むエッチングガスを用いた異方性のドライエッチング処理を施す後処理工程と、前記後処理工程後に化学的ドライエッチング処理を施す工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項7】 半導体基板上に形成された第1の絶縁膜とそれを覆う第2の絶縁膜とのエッチング選択比を大きくした状態でのエッチング処理を施すことにより下層の接続部が露出する接続孔を自己整合的に形成するセルフアラインコンタクト工程を有する半導体集積回路装置の製造方法であって、前記接続孔の形成後に四フッ化炭素、酸素およびアルゴンを含むエッチングガスを用いた異方性のドライエッチング処理を施す後処理工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項8】 半導体基板上に形成された第1の絶縁膜とそれを覆う第2の絶縁膜とのエッチング選択比を大きくした状態でのエッチング処理を施すことにより下層の接続部が露出する接続孔を自己整合的に形成するセルフアラインコンタクト工程を有する半導体集積回路装置の製造方法であって、前記接続孔の形成後に四フッ化炭素、酸素およびアルゴンを含むエッチングガスを用いた異方性のドライエッチング処理を施す後処理工程と、前記後処理工程後に化学的ドライエッチング処理を施す工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項9】 請求項1、2、3、4、5、6、7または8記載の半導体集積回路装置の製造方法において、前記セルフアラインコンタクトと後処理工程とを同一チャンバ内において連続的に行うことを特徴とする半導体集積回路装置の製造方法。

【請求項10】 請求項1、2、3、4、5、6、7、8または9記載の半導体集積回路装置の製造方法において、前記後処理工程におけるエッチング処理時において、前記半導体基板を搭載する下部電極に印加するピークトゥピーク電圧を600V以下としたことを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の製造技術に関し、特に、半導体基板上に形成された絶縁膜に半導体基板の一部が露出するような接続孔を高選択エッチング処理により自己整合的に形成する、いわゆるセルフアラインコンタクト (Self-Aligned Contact hole : 以下、SACという) 技術に適用して有効な技術に関するものである。

【0002】

【従来の技術】本発明者は、例えば互いに隣接するゲ

ト電極間に半導体基板の一部が露出するような接続孔を高選択比エッチング処理により自己整合的に穿孔する場合のSAC技術について検討した。以下は、公知とされた技術ではないが、本発明者によって検討された技術であり、その概要は次のとおりである。

【0003】まず、互いに隣接するゲート電極の上面および側面に、それぞれシリコン窒化膜等からなるキャップ絶縁膜およびサイドウォールを形成した後、それらを被覆するようにシリコン酸化膜からなる層間絶縁膜を形成する。

【0004】続いて、その層間絶縁膜膜上に接続孔形成用のフォトレジストパターンまたはポリシリコン等からなるハードマスク膜を形成した後、それをマスクとして、反応性イオンエッチング(Reactive Ion Etching: RIE)等のようなドライエッチング処理を施す。

【0005】この際、シリコン酸化膜のエッチング速度の方が、シリコン窒化膜のエッチング速度よりも速くなるように、シリコン酸化膜とシリコン窒化膜とのエッチング選択比を大きくした状態でエッチング処理を施す。

【0006】これにより、その層間絶縁膜に、互いに隣接するゲート電極間の半導体基板部分が露出するような接続孔を自己整合的に穿孔する。このSAC技術においては、微細な接続孔を位置合わせ良く形成できる。

【0007】なお、SAC技術については、例えば株式会社 培風館、1997年6月10日発行、「アドバンスト エレクトロニクス I-17 ULSIプロセス技術」P45~P49に記載がある。

【0008】

【発明が解決しようとする課題】ところが、本発明者が検討したSAC技術においては、以下の課題があることを本発明者は見出した。

【0009】SAC技術では、エッチング処理に際してシリコン酸化膜とシリコン窒化膜との間で高い選択比を実現するため、エッチングガスとして炭素(C)／フッ素(F)比率の高いC₄F₈系のエッチングガスを採用する傾向にある。

【0010】このため、接続孔から露出する半導体基板の界面にSiC等からなる変質層が形成される。また、半導体基板において変質層の下層に結晶歪層が形成される。さらに、接続孔形成時のマスクとしてフォトレジスト膜を使用した場合には特に接続孔の内壁面に薄いポリマー層が形成される。

【0011】しかし、この変質層、結晶歪層およびポリマー層のような特性劣化層の形成は接続孔における抵抗の増大等、素子特性に悪影響を与える新たな因子であり、特に、変質層は、従来のドライエッチングで問題となっている物理的損傷、電気的損傷、金属汚染等のダメージとは異なる新たなエッチングダメージであるといえる。

【0012】このような特性劣化層の対策として、本発

明者が検討した技術によれば、SAC処理の後に、半導体基板に対して化学的なドライエッチング(Chemical Dry Etching; 以下、CDEと略す)処理を施すようにしている。

【0013】しかし、CDEでは、エッチング選択比(変質層(SiC)の除去レートとシリコン窒化膜の除去レートとの比)が低い。このため、接続孔の周囲のシリコン窒化膜等からなるサイドウォールの削れ量が大きくなりゲート電極と接続孔内に形成される導体膜との短絡マージンが減少してしまう課題がある。また、CDEは等方性エッチングであるため、接続孔の直径等が所望値よりも大きくなる等、寸法シフト量が増大してしまう課題がある。さらに、変質層は非常に強固なので、CDEで除去するのに時間がかかる。そして、処理時間が長くなれば上述のサイドウォールの削れ量や寸法シフト量が益々増大するという課題がある。

【0014】また、本発明者は、当該変質層の効率的な除去方法として学会等で報告されているO₂(酸素)RIE技術を検討したが、寸法シフト量は低減できるものの変質層の除去効率が充分と言えない。そこで、変質層の除去効率を向上させるためにイオンエネルギーを増加する方法も検討したが、この場合は変質層の下層の半導体基板に結晶損傷が生じてしまう。

【0015】本発明の目的は、SAC技術により接続孔を形成した後の特性劣化層の除去処理に際して接続孔の周りにおける絶縁膜の削れ量を低減することのできる技術を提供することにある。

【0016】また、本発明の他の目的は、SAC技術により接続孔を形成した後の特性劣化層の除去処理に際して寸法シフト量を低減することのできる技術を提供することにある。

【0017】また、本発明の他の目的は、SAC技術により接続孔を形成した後の特性劣化層の除去処理時間を短縮することのできる技術を提供することにある。

【0018】また、本発明の他の目的は、SAC技術により接続孔を形成した後、半導体基板に大きなダメージを与えることなく、当該接続孔の形成時に形成された特性劣化層を除去することのできる技術を提供することにある。

【0019】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0020】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0021】本発明の半導体集積回路装置の製造方法は、半導体基板上に形成された第1の絶縁膜とそれを覆う第2の絶縁膜とのエッチング選択比を大きくした状態でのエッチング処理を施すことにより下層の接続部が露

出する接続孔を自己整合的に形成するセルフアラインコンタクト工程を有する半導体集積回路装置の製造方法であって、前記接続孔の形成後に四フッ化炭素を含むエッティングガスを用いた異方性のドライエッティング処理を施す後処理工程を有するものである。

【0022】また、本発明の半導体集積回路装置の製造方法は、半導体基板上に形成された第1の絶縁膜とそれを覆う第2の絶縁膜とのエッティング選択比を大きくした状態でのエッティング処理を施すことにより下層の接続部が露出する接続孔を自己整合的に形成するセルフアラインコンタクト工程を有する半導体集積回路装置の製造方法であって、前記接続孔の形成後に四フッ化炭素を含むエッティングガスを用いた異方性のドライエッティング処理を施す後処理工程と、前記後処理工程後に化学的ドライエッティング処理を施す工程とを有するものである。

【0023】また、本発明の半導体集積回路装置の製造方法は、半導体基板上に形成された第1の絶縁膜とそれを覆う第2の絶縁膜とのエッティング選択比を大きくした状態でのエッティング処理を施すことにより下層の接続部が露出する接続孔を自己整合的に形成するセルフアラインコンタクト工程を有する半導体集積回路装置の製造方法であって、前記接続孔の形成後に四フッ化炭素およびアルゴンを含むエッティングガスを用いた異方性のドライエッティング処理を施す後処理工程を有するものである。

【0024】また、本発明の半導体集積回路装置の製造方法は、半導体基板上に形成された第1の絶縁膜とそれを覆う第2の絶縁膜とのエッティング選択比を大きくした状態でのエッティング処理を施すことにより下層の接続部が露出する接続孔を自己整合的に形成するセルフアラインコンタクト工程を有する半導体集積回路装置の製造方法であって、前記接続孔の形成後に四フッ化炭素を含むエッティングガスを用いた異方性のドライエッティング処理を施す後処理工程と、前記後処理工程後に化学的ドライエッティング処理を施す工程とを有するものである。

【0025】また、本発明の半導体集積回路装置の製造方法は、半導体基板上に形成された第1の絶縁膜とそれを覆う第2の絶縁膜とのエッティング選択比を大きくした状態でのエッティング処理を施すことにより下層の接続部が露出する接続孔を自己整合的に形成するセルフアラインコンタクト工程を有する半導体集積回路装置の製造方法であって、前記接続孔の形成後に四フッ化炭素および酸素を含むエッティングガスを用いた異方性のドライエッティング処理を施す後処理工程を有するものである。

【0026】また、本発明の半導体集積回路装置の製造方法は、半導体基板上に形成された第1の絶縁膜とそれを覆う第2の絶縁膜とのエッティング選択比を大きくした状態でのエッティング処理を施すことにより下層の接続部が露出する接続孔を自己整合的に形成するセルフアラインコンタクト工程を有する半導体集積回路装置の製造方法であって、前記接続孔の形成後に四フッ化炭素および

酸素を含むエッティングガスを用いた異方性のドライエッティング処理を施す後処理工程と、前記後処理工程後に化学的ドライエッティング処理を施す工程とを有するものである。

【0027】また、本発明の半導体集積回路装置の製造方法は、半導体基板上に形成された第1の絶縁膜とそれを覆う第2の絶縁膜とのエッティング選択比を大きくした状態でのエッティング処理を施すことにより下層の接続部が露出する接続孔を自己整合的に形成するセルフアラインコンタクト工程を有する半導体集積回路装置の製造方法であって、前記接続孔の形成後に四フッ化炭素、酸素およびアルゴンを含むエッティングガスを用いた異方性のドライエッティング処理を施す後処理工程と、前記後処理工程後に化学的ドライエッティング処理を施す工程とを有するものである。

【0028】また、本発明の半導体集積回路装置の製造方法は、半導体基板上に形成された第1の絶縁膜とそれを覆う第2の絶縁膜とのエッティング選択比を大きくした状態でのエッティング処理を施すことにより下層の接続部が露出する接続孔を自己整合的に形成するセルフアラインコンタクト工程を有する半導体集積回路装置の製造方法であって、前記接続孔の形成後に四フッ化炭素、酸素およびアルゴンを含むエッティングガスを用いた異方性のドライエッティング処理を施す後処理工程と、前記後処理工程後に化学的ドライエッティング処理を施す工程とを有するものである。

【0029】また、本発明の半導体集積回路装置の製造方法は、前記セルフアラインコンタクト工程と後処理工程とを同一チャンバ内において連続的に行うものである。

【0030】さらに、本発明の半導体集積回路装置の製造方法は、前記後処理工程におけるエッティング処理時において、前記半導体基板を搭載する下部電極に印加するピークトゥピーク電圧を600V以下としたものである。

【0031】また、他の手段は、半導体基板上に所定の集積回路素子を形成する半導体集積回路装置の製造方法であって、(a)前記半導体基板上に配線を形成する工程と、(b)前記配線の表面に第1の絶縁膜を被覆する工程と、(c)前記半導体基板上に前記第1の絶縁膜および前記配線の隣接間に半導体基板部を覆うように第2の絶縁膜を形成する工程と、(d)前記半導体基板に対して、前記第2の絶縁膜のエッティング速度の方が前記第1の絶縁膜のエッティング速度よりも速くなるように前記第1の絶縁膜と第2の絶縁膜とのエッティング選択比を大きくした状態でのエッティング処理を施すことにより、前記第2の絶縁膜に前記配線の隣接間の半導体基板の一部が露出するような接続孔を自己整合的に形成するセルフアラインコンタクト工程と、(e)前記接続孔の形成後の半導体基板に対して四フッ化炭素を含むエッティングガスを用いた異方性のドライエッティング処理を施す

後処理工程とを有するものである。

【0032】また、他の手段は、半導体基板上に所定の集積回路素子を形成する半導体集積回路装置の製造方法であって、(a)前記半導体基板上に配線を形成する工程と、(b)前記配線の表面に第1の絶縁膜を被覆する工程と、(c)前記半導体基板上に前記第1の絶縁膜および前記配線の隣接間上の半導体基板部上を覆うように第2の絶縁膜を形成する工程と、(d)前記第2の絶縁膜のエッチング速度の方が前記第1の絶縁膜のエッチング速度よりも速くなるように前記第1の絶縁膜と第2の絶縁膜とのエッチング選択比を大きくした状態でのエッチング処理を施すことにより、前記配線の隣接間の半導体基板の一部が露出するような接続孔を自己整合的に形成するセルフアラインコンタクト工程と、(e)前記接続孔の形成後の半導体基板に対して四フッ化炭素を含むエッチングガスを用いた異方性のドライエッチング処理を施す後処理工程と、(f)前記後処理工程後に化学的ドライエッチング処理を施す工程とを有するものである。

【0033】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する（なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する）。

【0034】（実施の形態1）図1～図12は本発明の一実施の形態である半導体集積回路装置の製造工程中ににおける要部断面図である。

【0035】本実施の形態1においては、例えばDRAM (Dynamic Random Access Memory) の製造方法に本発明の技術的思想を適用した場合について説明する。

【0036】図1は本発明の一実施の形態であるDRAMの製造工程におけるメモリセル領域の要部断面図を示している。半導体基板1は、例えばp-形のシリコン単結晶からなり、その上部には、例えばpウェル2が形成されている。

【0037】また、半導体基板1の主面上には、例えば厚さ4000Å程度のシリコン酸化膜等からなるフィールド絶縁膜3が選択的に形成されている。このフィールド絶縁膜3に囲まれた素子形成領域において半導体基板1の主面上には、ゲート絶縁膜4を介してゲート電極5が形成されている。

【0038】ゲート絶縁膜4は、例えばシリコン酸化膜からなる。ただし、ゲート絶縁膜4を酸窒化膜(SiON)で形成しても良い。これにより、ゲート絶縁膜中ににおける界面準位の発生を抑制することができ、また、同時にゲート絶縁膜中の電子トラップも低減することができるので、ゲート絶縁膜4におけるホットキャリア耐性を向上させることができとなる。したがって、極薄のゲート絶縁膜4の信頼性を向上させることができとなる。

【0039】ゲート電極5は、DRAMのワード線WL

の一部で構成されており、例えば厚さ700Å程度のn形の低抵抗ポリシリコン膜5a上に厚さ1500Å程度のタンクステンシリサイド等からなるシリサイド膜5bを積み重ねてなる、いわゆるポリサイド構造で構成されている。

【0040】ただし、ゲート電極5を、例えば低抵抗ポリシリコン膜、窒化チタン膜およびタンクステン膜が下層から順に積み重ねられてなる、いわゆるポリメタル構造としても良い。この場合、配線抵抗を大幅に低減できる。

【0041】なお、この窒化チタン膜は、低抵抗ポリシリコン膜上にタンクステン膜を直接積み重ねた場合に、その接触部に製造プロセス中の熱処理によりシリサイドが形成されてしまう等を防止するためのバリア金属膜である。このバリア金属膜は、窒化チタンに限定されるものではなく種々変更可能であり、例えば窒化タンクステン等でも良い。

【0042】このゲート電極5（ワード線WL）上にはキャップ絶縁膜（第1の絶縁膜）6が形成されている。このキャップ絶縁膜6は、例えば厚さ2000Å程度のシリコン窒化膜からなる。また、ゲート電極5（ワード線WL）とキャップ絶縁膜6の側面にはサイドウォール（第1の絶縁膜）7が形成されている。このサイドウォール7は、例えばシリコン窒化膜からなる。

【0043】このような半導体基板1上には、キャップ絶縁膜6、サイドウォール7、フィールド絶縁膜3および隣接配線間（隣接ゲート電極5間およびゲート電極5とワード線WLとの間）の半導体基板1の主面を覆うように絶縁膜（第2の絶縁膜）8が形成されている。この絶縁膜8は、例えばシリコン酸化膜等からなる。この絶縁膜8上には、層間絶縁膜（第2の絶縁膜）9aが形成されている。この層間絶縁膜9aは、例えばシリコン酸化膜等からなり、その上面は平坦処理が施されている。

【0044】まず、このような層間絶縁膜9a上に、例えばリンを含有する低抵抗ポリシリコン膜をCVD法等によって堆積した後、それをフォトリソグラフィ技術およびドライエッチング技術によってパターニングすることにより、ワード線WLとゲート電極5との間の半導体基板1の上方が開口するようなマスク膜10aをパターン形成する。

【0045】この際、マスク膜10aの下地の層間絶縁膜9aの上面が平坦なので、充分なフォトリソグラフィマージンを確保することができ、良好なパターン転写が可能である。なお、周辺回路領域においては、層間絶縁膜9a上の全面がマスク膜10aによって覆われている。

【0046】ここで、マスク膜10aとして低抵抗ポリシリコンを用いたのは、以下の理由からである。第1に、後述するキャバシタ5用の接続孔形成工程に際して、シリコン窒化膜とのエッチング選択比を高くできる

からである。第2に、その接続孔内に導体膜を埋め込んだ後、その導体膜のエッチバック処理に際して下層のマスク膜10aも同時に除去してしまうことができ、製造上都合が良いからである。第3に、接続孔形成時に接続孔内にポリマー層が形成され難いからである。

【0047】ただし、マスク膜10aの構成材料は、ポリシリコンに限定されるものではなく種々変更可能であり、例えばシリコン塗化膜またはフォトレジスト膜を用いても良い。

【0048】次いで、そのマスク膜10aをエッチングマスクとして、マスク膜10aから露出する層間絶縁膜9aおよび絶縁膜8を、例えばドライエッチング法によって除去することにより、図2に示すように、層間絶縁膜9aおよび絶縁膜8に、半導体基板1の主面が露出するような接続孔11aを形成する。接続孔11aの直径は、特に限定されないが、例えば0.36μm程度である。

【0049】この際、本実施の形態1においては、シリコン酸化膜のエッチング速度の方がシリコン塗化膜のエッチング速度よりも速くなるように、シリコン酸化膜とシリコン塗化膜とのエッチング選択比を大きくした状態でエッチング処理を施すことにより、キャップ絶縁膜6およびサイドウォール7をエッチングストップとして機能させることができるので、微細な接続孔11aを自己整合的に高い位置合わせ精度で形成することができる。このため、接続孔11aの位置合わせ余裕を小さくすることができるので、メモリセル領域の面積を縮小することができる。

【0050】この際のドライエッチング装置は、例えば2周波狭電極RIE装置が用いられている。選択比(シリコン酸化膜/シリコン塗化膜)は、例えば10~15である。エッチングガスは、例えばC₄F₈/Ar/O₂ガスが用いられ、それぞれ例えば12/400/5m¹/min程度である。チャンバ内の圧力は、例えば4Pa程度である。上部電極の高周波電力(RF Power)は、例えば2000W、下部電極の高周波電力は、例えば1400W程度である。なお、これは、レジストマスクを用いた場合の条件である。

【0051】続いて、本実施の形態1においては、この接続孔11aを穿孔するために用いたエッチング装置のチャンバ内において連続的に、接続孔11aの形成時に形成された特性劣化層を除去するための後処理を施す。

【0052】この特性劣化層は、半導体基板1の露出部に形成された深さ数nm程度のSiC層、深さ10nm程度におよぶ結晶歪層および接続孔11aの表面(底面・内壁面)に被着されたポリマー層をいう。ただし、本実施の形態1では、接続孔11aの形成に際して低抵抗ポリシリコンからなるマスク膜10aをエッチングマスクとしているので、そのマスクとしてフォトレジスト膜を用いた場合に比べてポリマー層を薄くすることが可能

となっている。

【0053】本実施の形態1においては、この後処理においてエッチングガスとしてCF₄を含むガスを用い若干異方性のRIE処理を施す。すなわち、次のようにする。

【0054】すなわち、エッチングガスとしては、例えばCF₄/Arを用いる。CF₄とArとの流量は、それぞれ例えば50/400ml/min程度である。チャンバ内の圧力は、例えば13Pa程度である。上部電極の高周波電力は、例えば500W、下部電極の高周波電力は、例えば200W程度である。

【0055】このような本実施の形態1によれば、後処理における選択比(SiC層/シリコン塗化膜)をCDEのみの場合とほぼ同程度にした状態で、Arによるスパッタリング作用によりSiC層の除去速度をCDEのみの場合よりも向上させることができる。このため、後処理時間を短縮することが可能となる。

【0056】続いて、図3に示すように、半導体基板1上に、例えばリンが導入された低抵抗ポリシリコンからなる導体膜をCVD法等によって堆積した後、その導体膜をドライエッチング法等によってエッチバックすることにより、接続孔11a内にプラグ12を形成する。このエッチバック処理の際に、下層のマスク膜10a(図2参照)も除去してしまう。

【0057】その後、半導体基板1上に、例えば厚さ500~1000Å程度のシリコン酸化膜等からなる層間絶縁膜9bをCVD法等によって堆積し、その上に、例えば厚さ3000~6000Å程度の低抵抗ポリシリコン膜をCVD法等によって堆積した後、その低抵抗ポリシリコン膜をフォトリソグラフィ技術およびドライエッチング技術によってパターニングすることにより、隣接するゲート電極5、5間の半導体基板1の上方が開口するようなマスク膜10bをパターン形成する。

【0058】次いで、マスク膜10bの開口部から露出する領域の層間絶縁膜9a、9bおよび絶縁膜8をドライエッチング処理によってエッチング除去することにより、図4に示すように、層間絶縁膜9a、9bおよび絶縁膜8に、半導体基板1の主面が露出するような接続孔11bを形成する。接続孔11bの直径は、特に限定されないが、例えば0.36μm程度である。

【0059】この際、本実施の形態1においては、シリコン酸化膜のエッチング速度の方がシリコン塗化膜のエッチング速度よりも速くなるように、シリコン酸化膜とシリコン塗化膜とのエッチング選択比を大きくした状態でエッチング処理を施すことにより、キャップ絶縁膜6およびサイドウォール7をエッチングストップとして機能させることができるので、微細な接続孔11bを自己整合的に高い位置合わせ精度で形成することができる。このため、接続孔11bの位置合わせ余裕を小さくすることができるので、メモリセル領域の面積を縮小するこ

とが可能となっている。

【0060】この際のドライエッティング装置は、例えば2周波狭電極R I E装置が用いられている。選択比(シリコン酸化膜/シリコン塗化膜)は、例えば10~15である。エッティングガスは、例えばC₄F₈/Ar/O₂ガスが用いられ、それぞれ例えば12/400/5m¹/min程度である。チャンバ内の圧力は、例えば4Pa程度である。上部電極の高周波電力(R F P o w e r)は、例えば2000W、下部電極の高周波電力は、例えば1400W程度である。処理温度は、上部電極/壁面/下部電極においてそれぞれ、例えば20/60/-10度程度である。なお、これは、レジストマスクを用いた場合の条件である。

【0061】続いて、本実施の形態1においては、この接続孔11bを穿孔するために用いたエッティング装置のチャンバ内において、接続孔11bの形成時に形成された特性劣化層を除去するための後処理を施す。これは、上記した接続孔11aの形成後の後処理と同じなので説明を省略する。

【0062】なお、半導体基板1においてプラグ12が接する部分には、DRAMの製造工程中の熱処理により半導体領域13aが形成されている。

【0063】その後、図5に示すように、半導体基板1上に、例えばリンが導入された低抵抗ポリシリコンからなる導体膜14aおよびタンクスチルシリサイド等からなる導体膜14bをCVD法等によって順次堆積する。

【0064】次いで、その導体膜14b上に、ビット線形成用のフォトレジストを形成した後、そのフォトレジストをエッティングマスクとして、そのマスクから露出する導体膜14a、14bおよびマスク膜10bを順次エッティング除去することにより、導体膜14a、14b、マスク膜10bからなるビット線BLを形成する。

【0065】このビット線BLは、接続孔11bを通じてメモリセル選択用MOS·FETの半導体領域13bと電気的に接続されている。

【0066】なお、半導体基板1に形成された半導体領域13bは、DRAMの製造工程中の熱処理により形成されている。そして、この段階では、メモリセル選択用MOS·FETQが形成されている。

【0067】続いて、フォトレジストを除去した後、図6に示すように、半導体基板1上に、例えばシリコン酸化膜等からなる層間絶縁膜9cをCVD法で形成した後、その上に、例えばシリコン塗化等からなる絶縁膜15をCVD法で堆積する。

【0068】その後、半導体基板1上に、例えばシリコン酸化膜等からなる層間絶縁膜9dをCVD法で堆積し、その上面を、例えばCMP法によって平坦化した後、その上面に、例えばシリコン塗化膜等からなる絶縁膜16をCVD法で堆積する。

【0069】次いで、その絶縁膜16上に、例えばリン

が導入された低抵抗ポリシリコンからなるマスク膜10cをCVD法で堆積する。この場合のマスク膜10cの厚さは、例えば500~2000Å程度である。

【0070】続いて、このマスク膜10cにおいてキャパシタ用接続部形成領域をフォトリソグラフィ技術およびドライエッティング技術によって開口した後、さらに、低抵抗ポリシリコンからなるマスク膜を堆積し、これをエッチバックすることにより、図7に示すようにマスク膜10cの開口側面にマスク用のサイドウォール10dを形成する。これは、マスク膜10cのパターニングの際のフォトリソグラフィの限界を補い、これから穿孔しようとしている接続孔の直径を微細にするためである。

【0071】その後、そのマスク膜10cおよびサイドウォール10dをエッティングマスクとして、そこから露出する領域の絶縁膜16、層間絶縁膜9d、絶縁膜15および層間絶縁膜9c、9bをエッティング除去することにより、プラグ12に達するような接続孔11cを形成する。この接続孔11cの直径は、例えば0.36μm程度である。この際のドライエッティング工程およびその後の後処理は、上記した接続孔11a、11bの形成方法および形成後の後処理方法と同じなので説明を省略する。

【0072】次いで、半導体基板1上に、例えばリンが導入された低抵抗ポリシリコンからなる厚さ500~1000Å程度の導体膜17を堆積した後、その上面に、例えばシリコン酸化膜等からなる厚さ3000~6000Å程度の絶縁膜18をプラズマCVD法等によって堆積する。

【0073】なお、この導体膜17は接続孔11c内にも埋め込まれてプラグ12を通じてメモリセル選択用MOS·FETの他方の半導体領域13aと電気的に接続されている。また、この導体膜17上の絶縁膜18は、下層のシリコン酸化膜よりもウエットエッティング処理におけるエッチレートの高い絶縁膜で形成されている。これは、この絶縁膜18のエッティングレートがシリコン酸化膜よりも低いと、後の工程でその絶縁膜18とシリコン酸化膜とを同時に除去する際に、その絶縁膜18が第1電極の中央の狭い溝の中にも埋設されていることから、その絶縁膜18が充分除去されないうちに、シリコン酸化膜が除去されてしまい、下層の素子に悪影響を与える場合があるからである。

【0074】続いて、その絶縁膜18、導体膜17およびマスク膜10cにおいて、フォトレジストから露出する部分をドライエッティング法等によってエッティング除去することにより、図8に示すように、キャパシタの蓄積電極の底部19aおよび絶縁膜18aを形成する。なお、マスク膜10c、10dも蓄積電極の底部19aの一部を構成している。

【0075】その後、半導体基板1上に、例えば低抵抗ポリシリコンからなる導体膜をCVD法で堆積し、溝み

を埋め込むように絶縁膜20を形成した後、その導体膜をR I Eなどの異方性ドライエッティング法によってエッチバックすることにより、図9に示すように、絶縁膜18aの側面にキャパシタの蓄積電極の側部19bを形成する。

【0076】次いで、例えばフッ酸溶液を用いたウエットエッティングにより、絶縁膜18a、20を除去し、隣接する蓄積電極間を繋ぐ側部を除去することにより、図10に示すように、円筒形のキャパシタの蓄積電極19(19a, 19b)を形成する。この際、層間絶縁膜9d上に形成された絶縁膜16がウエットエッティングのストップとして機能するため、その下層の層間絶縁膜9dは除去されない。

【0077】続いて、半導体基板1上にシリコン塗化膜をCVD法で堆積した後、そのシリコン塗化膜に対して酸化処理を施すことにより、図11に示すように、シリコン塗化膜の表面にシリコン酸化膜を形成して、シリコン塗化膜およびシリコン酸化膜からなる容量絶縁膜21を形成する。

【0078】その後、半導体基板1上に、例えば低抵抗ポリシリコンからなる導体膜をCVD法で堆積し、この導体膜をフォトレジストをマスクにしてエッティングすることにより、キャパシタのプレート電極22を形成し、情報蓄積用のキャパシタCを形成する。

【0079】次いで、半導体基板1上に、例えばシリコン酸化膜からなる層間絶縁膜9eをCVD法等によって堆積し、その上面を、例えばCMP法によって平坦化した後、その上面に、第1層配線23aを形成する。

【0080】この第1層配線23aは、例えばチタン、タンクステンおよび塗化チタンからなる導体膜をスパッタリング法、CVD法およびスパッタリング法等で下層から順に形成した後、フォトリソグラフィ技術およびドライエッティング技術等によってパターニングすることにより形成されている。

【0081】続いて、半導体基板1上に、例えばシリコン酸化膜等からなる層間絶縁膜9fをCVD法等によって堆積して第1層配線23aを被覆した後、その層間絶縁膜9fに接続孔を穿孔し、さらに、その層間絶縁膜9f上に、第2層配線23bを形成する。

【0082】この第2層配線23bは、例えばタンクステン、アルミニウムおよび塗化チタン等からなる導体膜をCVD法、スパッタリングおよびスパッタリング法等で下層から順に堆積した後、その積層導体膜をフォトリソグラフィ技術およびドライエッティング技術によってパターニングすることによって形成する。

【0083】次いで、この第2層配線23bを被覆する層間絶縁膜をCVD法で形成した後、その上に第3層配線を形成する。この第3層配線は、その材料および形成方法が上記第2層配線23aと同じである。

【0084】最後に、半導体基板1上に、例えばシリコ

ン酸化膜からなる表面保護膜をCVD法等によって堆積し、第3層配線を被覆することにより、本実施の形態1のDRAMのウエハプロセスを終了する。

【0085】このように、本実施の形態1によれば、以下の効果を得ることが可能となる。

【0086】(1). SACプロセス後の後処理においてエッティングガスとしてCF₄ / Arガスを用い若干異方性のR I E処理を施すことにより、後処理時における選択比(SiC層/シリコン塗化膜)をCDEのみの場合とほぼ同程度にした状態で、SiC層の除去速度をCDEのみの場合よりも向上させることができる。このため、後処理時間を短縮することが可能となる。

【0087】(2). 上記(1)により、接続孔11a～11cの寸法シフト量をCDEのみで後処理を行う場合に比べて低減することが可能となる。このため、接続孔11a～11c形成時の寸法精度を向上させることができるので、接続孔11a～11c形成のための余裕を小さくすることができる。したがって、素子や配線の微細化を推進することができるので、素子集積度を向上させることができとなる。

【0088】(3). 上記(1)により、シリコン塗化膜(キャップ絶縁膜6やサイドウォール7)の削れ量をCDEのみで後処理を行う場合に比べて低減することが可能となる。このため、接続孔11a～11c内に形成される導体部と隣接導体部とが接触する不良を低減することができるので、DRAMの歩留まりおよび信頼性を向上させることができとなる。

【0089】(4). SACプロセスと後処理とを同一エッティングチャンバ内で連続的に行うことにより、エッティングチャンバ内の真空度の設定、エッティング装置の処理前準備時間および半導体基板1のチャンバ間への搬送工程を大幅に削減することができるので、DRAMの開発および製造にかかる時間を大幅に短縮することができる。

【0090】(5). SACプロセスと後処理とを同一エッティングチャンバ内で連続的に行うことにより、半導体基板1の搬送工程中に半導体基板1に異物が付着したり半導体基板1の表面に酸化膜が形成されたりするのを低減することができるので、接続孔11a～11c内の接続不良を低減することができる。このため、DRAMの歩留まりおよび信頼性を向上させることができとなる。

【0091】(実施の形態2) 本実施の形態2においては、前記実施の形態1で説明した接続孔11a～11c形成工程後の後処理が前記実施の形態1の場合と異なる。それ以外は前記実施の形態1と同じである。したがって、本実施の形態2の説明においても前記実施の形態1で用いた図1～図12を用いる。

【0092】本実施の形態2においては、SACプロセス後の後処理において、例えばCF₄ / Arを用いた若

干異方性のドライエッティング処理後にCDE処理を施す。

【0093】このCF₄ / Arを用いた若干異方性のドライエッティング処理の条件は、前記実施の形態1と同じである。また、この処理は、前記実施の形態1と同様にSACプロセス用のエッティングチャンバ内で行う。なお、別のエッティングチャンバ内で行っても良い。

【0094】一方、CF₄ / Arを用いた若干異方性のドライエッティング処理後のCDE処理は、SACプロセス用のエッティングチャンバ内で行っても良いし、別のエッティング装置のチャンバ内で行っても良い。

【0095】このような本実施の形態2によれば、前記実施の形態1で得られた効果の他に、以下の効果を得ることが可能となる。

【0096】(1) CF₄ / Arを用いた若干異方性のドライエッティング処理後にCDE処理を施すことにより、当該特性劣化層除去のためのドライエッティング処理により接続孔11a～11cの底部（半導体基板1またはプラグ12）が受けた損傷を低減することが可能となる。

【0097】(2) CF₄ / Arを用いた若干異方性のドライエッティング処理後にCDE処理を施すことにより、接続孔11a～11cの底部の電気的特性（ライフタイム回復率）を向上させることができるとなる。

【0098】(3) CF₄ / Arを用いた若干異方性のドライエッティング処理では、前記実施の形態1で説明したようにSiC層の除去速度を向上させることができるので、後処理をCDE処理のみで行う場合に比べて、CDEの処理時間を短縮することが可能となる。

【0099】(実施の形態3) 本実施の形態3においては、前記実施の形態1で説明した接続孔11a～11c形成工程後の後処理が前記実施の形態1の場合と異なる。それ以外は前記実施の形態1と同じである。したがって、本実施の形態3の説明においても前記実施の形態1で用いた図1～図12を用いる。

【0100】本実施の形態3においても、SACプロセス後の後処理を前記実施の形態1と同様にSACプロセス用のエッティングチャンバ内で行う。なお、別のエッティングチャンバ内で行っても良い。

【0101】ただし、本実施の形態3においては、後処理の条件が異なる。すなわち、エッティングガスとしては、例えばCF₄ / O₂を用いる。CF₄とO₂との流量は、それぞれ例えば30 / 20 m l / m i n程度である。チャンバ内の圧力は、例えば13 Pa程度である。上部電極の高周波電力は、例えば500 W、下部電極の高周波電力は、例えば50 W程度である。

【0102】このような本実施の形態3によれば、前記実施の形態1で得られた効果の他に、以下の効果を得ることが可能となる。

【0103】(1) 後処理時のエッティングガスをCF₄ / O₂としたことにより、CDEを用いた場合やCF₄ /

Arガスを用いた場合に比べて、特にSiC層の除去速度を向上させることができるとなる。

【0104】(2) 上記(1)により、後処理時間を短縮させることができるとなる。

【0105】(3) 後処理時のエッティングガスをCF₄ / O₂としたことにより、CDEを用いた場合やCF₄ / Arガスを用いた場合に比べて、特性劣化層、特にSiC層の除去特性を向上させることができる。このため、接続孔11a～11c内における導体膜と半導体基板1またはプラグ12との接触抵抗を低減することができる。

【0106】(4) 後処理時のエッティングガスをCF₄ / O₂としたことにより、CDEを用いた場合やCF₄ / Arガスを用いた場合に比べて、選択比(SiC層/シリコン窒化膜)を向上させることができるとなる。

【0107】(5) 上記(2)または(4)により、CDEを用いた場合やCF₄ / Arガスを用いた場合に比べて、接続孔11a～11cの寸法シフト量およびシリコン窒化膜(キャップ絶縁膜6やサイドウォール7)の削れ量を低減することができる。

【0108】(6) 上記(5)により、接続孔11a～11cの寸法シフト量をCDEのみで後処理を行う場合に比べて低減することができる。このため、接続孔11a～11c形成時の寸法精度を向上させることができるので、接続孔11a～11c形成のための余裕を小さくすることができる。したがって、素子や配線の微細化を推進することができるので、素子集積度を向上させることができるとなる。

【0109】(7) 上記(5)により、シリコン窒化膜(キャップ絶縁膜6やサイドウォール7)の削れ量をCDEのみで後処理を行う場合に比べて低減することができる。このため、接続孔11a～11c内に形成される導体部と隣接導体部とが接触する不良を低減することができるので、DRAMの歩留まりおよび信頼性を向上させることができるとなる。

【0110】(8) 後処理時の下部電極の高周波電力を50 Wにしたことにより、すなわち、下部電極に印加されるピークトゥピーク電圧を600 V以下としたことにより、選択比(SiC層/シリコン窒化膜)を確保したまま、接続孔11a～11cの底部(半導体基板1またはプラグ12)が後処理により大きなダメージを与えることなく、特性劣化層を除去することができる。

【0111】(実施の形態4) 本実施の形態4においては、前記実施の形態1で説明した接続孔11a～11c形成工程後の後処理が前記実施の形態1の場合と異なる。それ以外は前記実施の形態1と同じである。したがって、本実施の形態4の説明においても前記実施の形態1で用いた図1～図12を用いる。

【0112】本実施の形態4においては、SACプロセス後の後処理において、例えばCF₄ / O₂を用いた若

干異方性のドライエッティング処理後にCDE処理を施す。

【0113】この CF_4/O_2 を用いた若干異方性のドライエッティング処理の条件は、前記実施の形態3と同じである。また、この処理は、前記実施の形態1、3と同様にSACプロセス用のエッティングチャンバ内で行う。なお、別のエッティングチャンバ内で行っても良い。

【0114】一方、 CF_4/O_2 を用いた若干異方性のドライエッティング処理後のCDE処理は、SACプロセス用のエッティングチャンバ内で行っても良いし、別のエッティング装置のチャンバ内で行っても良い。CDE処理時間は、例えば20秒～30秒程度である。

【0115】このような本実施の形態4によれば、前記実施の形態1、3で得られた効果の他に、以下の効果を得ることが可能となる。

【0116】(1). CF_4/O_2 を用いた若干異方性のドライエッティング処理後にCDE処理を施すことにより、前記実施の形態3の場合(CF_4/O_2 を用いた若干異方性のドライエッティング処理のみの場合)に比べて、接続孔11a～11cの底部(半導体基板1またはプラグ12)が後処理により受けた損傷を低減することが可能となる。

【0117】(2). CF_4/O_2 を用いた若干異方性のドライエッティング処理後にCDE処理を施すことにより、前記実施の形態3の場合(CF_4/O_2 を用いた若干異方性のドライエッティング処理のみの場合)に比べて、接続孔11a～11cの底部の電気的特性(ライフタイム回復率)を向上させることができるとなる。

【0118】(3). CF_4/O_2 を用いた若干異方性のドライエッティング処理では、前記実施の形態3で説明したようにSiC層の除去速度を向上させることができるので、後処理をCDE処理のみで行う場合に比べて、CDEの処理時間を短縮することが可能となる。

【0119】(実施の形態5) 本実施の形態5においては、前記実施の形態1で説明した接続孔11a～11c形成工程後の後処理が前記実施の形態1の場合と異なる。それ以外は前記実施の形態1と同じである。したがって、本実施の形態5の説明においても前記実施の形態1で用いた図1～図12を用いる。

【0120】本実施の形態5においても、SACプロセス後の後処理を前記実施の形態1と同様にSACプロセス用のエッティングチャンバ内で行う。なお、別のエッティングチャンバ内で行っても良い。

【0121】ただし、本実施の形態5においては、後処理の条件が異なる。すなわち、エッティングガスとしては、例えば $CF_4/O_2/Ar$ を用いる。 $CF_4/O_2/Ar$ の流量は、それぞれ例えば30/20/200m¹/min程度である。チャンバ内の圧力は、例えば9Pa程度である。上部電極の高周波電力は、例えば200W、下部電極の高周波電力は、例えば200W程度

である。

【0122】このような本実施の形態5によれば、前記実施の形態1で得られた効果の他に、以下の効果を得ることが可能となる。

【0123】(1). 後処理時のエッティングガスを $CF_4/O_2/Ar$ としたことにより、CDEを用いた場合や CF_4/Ar ガスまたは CF_4/O_2 ガスを用いた場合に比べて、特にSiC層の除去速度を向上させることができるとなる。

【0124】(2). 上記(1)により、後処理時間を短縮させることができるとなる。

【0125】(3). 後処理時のエッティングガスを $CF_4/O_2/Ar$ としたことにより、CDEを用いた場合や CF_4/Ar ガスまたは CF_4/O_2 ガスを用いた場合に比べて、特性劣化層、特にSiC層の除去特性を向上させることができる。このため、接続孔11a～11c内における導体膜と半導体基板1またはプラグ12との接触抵抗を低減することができる。

【0126】(4). 後処理時のエッティングガスを $CF_4/O_2/Ar$ としたことにより、CDEを用いた場合や CF_4/Ar ガスまたは CF_4/O_2 ガスを用いた場合に比べて、選択比(SiC層/シリコン窒化膜)を大幅に向上させることができるとなる。例えば前記実施の形態3(CF_4/O_2 ガス使用)の場合の約1.65倍の選択比(SiC層/シリコン窒化膜)を得ることができるとなる。

【0127】(5). 上記(2)または(4)により、CDEを用いた場合や CF_4/Ar ガスや CF_4/O_2 ガスを用いた場合に比べて、接続孔11a～11cの寸法シフト量およびシリコン窒化膜(キャップ絶縁膜6やサイドウォール7)の削れ量を低減することができる。

【0128】(6). 上記(5)により、接続孔11a～11cの寸法シフト量をCDEのみで後処理を行う場合や CF_4/Ar ガスまたは CF_4/O_2 ガスを用いた場合に比べて低減することができる。このため、接続孔11a～11c形成時の寸法精度を向上させることができるので、接続孔11a～11c形成のための余裕を小さくすることができる。したがって、素子や配線の微細化を推進することができるので、素子集積度を向上させることができるとなる。

【0129】(7). 上記(5)により、シリコン窒化膜(キャップ絶縁膜6やサイドウォール7)の削れ量をCDEのみで後処理を行う場合や CF_4/Ar ガスまたは CF_4/O_2 ガスを用いた場合に比べて低減することができる。このため、接続孔11a～11c内に形成される導体部と隣接導体部とが接觸する不良を低減することができるので、DRAMの歩留まりおよび信頼性を向上させることができるとなる。

【0130】(実施の形態6) 本実施の形態6においては、前記実施の形態1で説明した接続孔11a～11c

形成工程後の後処理が前記実施の形態1の場合と異なる。それ以外は前記実施の形態1と同じである。したがって、本実施の形態6の説明においても前記実施の形態1で用いた図1～図12を用いる。

【0131】本実施の形態6においては、SACプロセス後の後処理において、例えば $CF_4/O_2/Ar$ を用いた若干異方性のドライエッティング処理後にCDE処理を施す。

【0132】この $CF_4/O_2/Ar$ を用いた若干異方性のドライエッティング処理の条件は、前記実施の形態5と同じである。また、この処理は、前記実施の形態1、5と同様にSACプロセス用のエッティングチャンバ内で行う。なお、別のエッティングチャンバ内で行っても良い。

【0133】一方、 $CF_4/O_2/Ar$ を用いた若干異方性のドライエッティング処理後のCDE処理は、SACプロセス用のエッティングチャンバ内で行っても良いし、別のエッティング装置のチャンバ内で行っても良い。CDE処理時間は、例えば20秒程度である。

【0134】このような本実施の形態6によれば、前記実施の形態1、5で得られた効果の他に、以下の効果を得ることが可能となる。

【0135】(1). $CF_4/O_2/Ar$ を用いた若干異方性のドライエッティング処理後にCDE処理を施すことにより、前記実施の形態5の場合($CF_4/O_2/Ar$ を用いた若干異方性のドライエッティング処理のみの場合)に比べて、接続孔11a～11cの底部(半導体基板1またはプラグ12)が後処理により受けた損傷を低減することが可能となる。

【0136】(2). $CF_4/O_2/Ar$ を用いた若干異方性のドライエッティング処理後にCDE処理を施すことにより、前記実施の形態5の場合($CF_4/O_2/Ar$ を用いた若干異方性のドライエッティング処理のみの場合)に比べて、接続孔11a～11cの底部の電気的特性(ライフタイム回復率)を大幅(98%)に向上させることが可能となる。

【0137】(3). $CF_4/O_2/Ar$ を用いた若干異方性のドライエッティング処理では、前記実施の形態5で説明したようにSiC層の除去速度を向上させることができるので、後処理をCDE処理のみで行う場合に比べて、CDEの処理時間を短縮することが可能となる。

【0138】

【実施例】まず、実験装置について説明する。今回の実験に用いた酸化膜ドライエッティング装置は東京エレクトロン社製の2周波狭電極RIE装置UNITY-II-85DI(Dual IEM: Ion Energy Modulation)である。代表的な狭電極RIEと2周波狭電極RIEのプラズマパラメータおよび装置構造の説明図を図13に示す。

【0139】デバイスの微細化に伴い加工精度向上のため、より低圧での処理が要求された場合、従来の狭電極

RIE装置では低圧でプラズマを維持するためにRF供給電力を増加させると、同時にイオンエネルギーも増加されることになり基板へのダメージは増加する。

【0140】一方、本研修で用いた2周波狭電極RIE装置では上部電極に27.12MHz、下部電極には800kHzのRFを印加しプラズマの生成とイオンエネルギーの制御を独立に行うことで低圧高密度プラズマ(5Paで10¹¹台)が達成でき、さらに低イオンエネルギーのためダメージの少ないエッティングが可能となる。また、低圧処理のためにチャンバの排気系として排気速度1200L/sの磁気浮上式ターボ分子ポンプが取り付けられ、排気コンダクタンスの増加と併せ反応生成物の高速排気が可能となっている。

【0141】次に、評価方法について説明する。今回の特性評価において以下の試料を使用した。(1).8インチのp型シリコン(100)結晶、(2).ドープトシリコンの平坦ダミー、(3).シリコン塗化膜の平坦ダミー、(4).エッティング断面形状評価ダミー(図14(a), (b))に示す。

【0142】分析用試料作成のフロー図を図15に示す。なお、図15のAP処理は、前記実施の形態で説明したSACによる接続孔形成後の後処理を意味する。また、SACエッティング、CDE、アッシングの基準条件を図16に示す。

【0143】エッティングレートおよび面内均一性の算出方法は次の通りである。基礎特性として上記したドープトシリコン、シリコン塗化膜のエッティング速度(以下、ERと略す)、面内均一性を求めた。膜厚の測定はTENCOR INSTRUMENTS社製UV-1050を使用し(面内17点、最外周10mmの測定)、面内均一性は、均一性[%] = [(ERの最大値) - (ERの最小値)] / (2 × (ERの平均値)) × 100の式で求めた。

【0144】ライフタイム測定はLEO社製ウエハーテを用いて面内17点で行った。ライフタイムの評価は未処理ウエハの回復率 τ_0 (μs)、処理ウエハの回復率 τ (μs)の時、ライフタイム回復率[%] = (τ/τ_0) × 100とした。ライフタイム測定時にはウエハを酸化させているので、酸化膜厚の推移も併せて評価した。

【0145】XPS/LEIS/AFM分析評価は次の通りである。

【0146】(a) X線光電子分光法(X-ray Photo-electron Spectroscopy : XPS)

本研修では島津KRAOTOS製XSAM800(X線源: MgK α)およびULVAC-PHI製ESCA1600C(同: ALK α 、モノクロ型)を用い、結合エネルギー99eV付近に表れるSi2p(Si、SiO_x)および283eV付近のC1s(SiC、C-O等)のピークを観察し、各ピーク強度より原子量成分百

分率 (atomic%) として基板 Si 中の組成比を求めた。

【0147】(b) 低速イオン散乱法 (Low Energy Ion Scattering Spectroscopy: LEIS)

LEIS では、低エネルギー (1 から 5 keV) の軽元素イオン (He⁺、Ne⁺ 等) を試料表面に入射し 180° 後方散乱される反射粒子のエネルギーを測定することで試料表面を分析する。エネルギースペクトルから (1). 元素の同定、(2). 原子濃度、(3). 表面構造の情報が得られる。本研修では入射イオンとして He⁺ (2 keV) を用い、その散乱強度の入射角度依存性からチャネリングディップとフォーカシングピークの変化を観察し後処理による表面の結晶性を評価した。

【0148】(c) 原子間力顕微鏡 (Atomic Force Microscope: AFM)

AFM では、試料とプローブとの間に働く局所的な力 (引力、斥力) を検出し、これが一定となるように試料とプローブとの間の距離を制御しながら試料表面を走査する。これにより、表面形状の観察、物理的な諸性質 (摩擦力、磁気力等) の計測が可能である。今回の研修では Park Scientific Instruments 製 S FM-BD2 を用い、AFM 像を表面粗さの平均値 (Root Mean Square: RMS) に数値化することで後処理による表面粗さを評価した。

【0149】次に、後処理 (AP) の基礎検討について説明する。

【0150】AP のプロセスステップを図 17 に示し、その処理条件を図 18 に示す。AP は、下部 RF パワーが高く (= イオンエネルギーが高い) スパッタリング効果が強い CF₄ / Ar プロセス (AP-1とする) および CDE と同じガスを用い化学反応が主である CF₄ / O₂ プロセス (AP-2) の 2 条件を評価した。AP の特徴は酸化膜エッティング直後に同一チャンバ内で連続処理を行うところにあり、この点が従来の後処理方法と異なり画期的なプロセスである。

【0151】次に、XPS/LEIS/AFM 分析による測定について説明する。AP での変質層 (SiC 層) の除去特性を定量的に評価するために XPS/LEIS/AFM による分析を行った。分析には、ウエハ全面を処理した後に、測定直前に 0.5% HF 洗浄 (2 分)、純水洗浄 (10 秒) を行ったウエハを用いた (図 17 参照)。各処理において SAC エッティングでは 64 MDR AM のキャバシタ用の接続孔形成工程でのオーバーエッティング時間 (21 秒) で行っている。

【0152】AP の変質層除去特性は次の通りである。まず、AP の変質層除去特性を定評的に評価するために XPS による測定を行った。SAC エッティング直後および AP を行った時の SiC、SiO_x の原子量成分百分率 (atomic%) を図 19 に示す。AP の処理時間はシリコン窒化膜の換算削れ量 8.8 nm とした。

【0153】SAC エッティング直後では、Si-C 結合

の成分量が約 1.3 atomic% 観察され、強固な Si-C 層が存在していることがわかる。また、Si 2p のピーク強度から求めた変質層 (SiO_x 换算) の厚さは約 0.9 nm である。SAC エッティング後に AP 処理を行った場合 ピークは減少し、除去が進んでいることがわかる。各 AP の Si-C 除去速度から選択比 (Si-C の除去速度 / Si₃N₄ のエッティング速度) を求めると、AP-1: 0.072、AP-2: 0.098 となる。同様の XPS 測定より CDE では選択比が 0.073 となる。CDE と比較すると AP-2 の選択比は高く、効率的なプロセスであるといえる。

【0154】次に、AP が基板表面状態に及ぼす影響を LEIS および AFM により評価した。試料は SAC エッティング後 AP を Si₃N₄ 换算削れ量 8.8 nm の時間で処理したものである。LEIS での Si の散乱強度の入射角度依存性を図 20 に示す。

【0155】AP-1 では入射角度依存性は小さく、表面の結晶性はエッティング直後と同様なアモルファス状になっている。一方、AP-2 ではリファレンス (未処理ウエハ) に対応した入射角度依存性を示し結晶性は回復しているが、角度が大きくなる程、散乱強度の角度依存性がなくなることから極表面に結晶の乱れた層が存在している。

【0156】次に、AFM イメージを図 21 (a)、(b) に示し、AFM イメージを表面粗さの平均値 (RMS) に数値化した結果を図 22 に示す。エッティングにより表面粗さはリファレンスの約 3 倍 (0.6 nm RMS) になる。AP-1 の追加で約 1.3 nm RMS と表面粗さは増大するが、AP-2 では約 0.7 nm RMS とほとんど変化しない。

【0157】LEIS/AFM の結果から AP 後の表面状態に大きな違いがあることがわかった。この原因は各 AP での除去反応の違いによるものと考えられる。AP-1 ではスパッタリングにより反応が進むので表面の結晶性は回復せず、表面粗さも増大する。逆に AP-2 では反応は化学的に進むため結晶性は回復し表面粗さも増大しない。以上を検証するために AP のみを行った試料について評価した。

【0158】次に、AP 自身によるダメージの評価を説明する。XPS により AP によって形成される変質層を評価した。AP のみを Si₃N₄ 换算削れ量: 22.4 nm 行った時の Si 2p、C 1s スペクトルから原子量成分百分率 (atomic%) を求めた (図 23)。

【0159】AP-1 では Si-C が 4.0 atomic%、SiO_x が 5.8 atomic%、変質層 (SiO_x 换算) が 0.5 nm と厚く、AP により導入されるダメージは大きい。これに対し AP-2 では Si-C が 0.5 atomic%、SiO_x が ~0 atomic%、変質層も 0.01 nm と薄いことから AP でのダメージは小さい。

【0160】次に、AP での表面状態の変化を LEIS

／AFMにより評価した。測定結果を図24に示す。AP-1では入射角度0°で散乱強度は大きく、さらに入射角度依存性も殆ど見られないことからAPのみでも表面層がアモルファス化してしまうことがわかる。一方、AP-2の場合、リファレンスと同様な散乱強度の入射角度依存性が観測され表面の結晶性は保たれる。しかし、全体的に散乱強度がリファレンスと比べ低いことから表面のSi濃度は若干低くなっていると考えられる。

【0161】次に、AFMイメージを図25(a), (b)に示す。測定エリアは0.5μm□である。AP-1ではスパッタリング効果による凹凸で表面粗さはリファレンスに比べ増大(RMS: 0.26→0.98nm)、平滑な表面である。

【0162】以上の結果から各APで導入されるダメージが明確になった。AP-2では極表面に変質層(～0.01nm)が生じるが、結晶性、表面粗さの問題はほとんど無いのに対し、AP-1では結晶性は破壊され表面はアモルファス状になり、0.5nm程度の変質層が生じる。

【0163】次に、APにおける最適なイオンエネルギーについて説明する。AP-1では下部RFパワーが大きいためイオンエネルギーが高く、スパッタリング効果が強くなり、そのため、AP自身でダメージを与えつつ除去を行っているので効率が若干落ち選択比(Si-C/Si₃N₄)は低下する。これに対し、AP-2ではイオンエネルギーは低く基板に殆どダメージを与えず、除去効率は良く選択比は高いことがわかった。そこで、APにおいて効率良くSiCを除去し高選択比を達成するために必要なイオンエネルギーを評価し、プロセスの最適化を行った。

【0164】AP-2において選択比の下部Vpp依存性をμ-AES、XPSより評価した。結果を図26に示す。横軸の下部Vppはイオンエネルギーに相当する値で、今回の評価では下部RFパワーを変化させることで下部Vppを変化させた。Vppの増加(=イオンエネルギーの増加)に伴い選択比は低下する。高選択比を得るために下部Vpp=600V以下でなければならぬことがわかる。AP-2でこの条件を満たす下部RFパワーは50W以下であり、本研修ではSi-Cの除去速度と選択比とを考慮して下部RFパワーを50W(下部Vpp=580V)とし、これをAP-2の基準条件とした。

【0165】次に本AP条件でライフタイム回復率を評価した。ライフタイム回復率および熱酸化膜厚のCDE、AP-2時間依存性を図27に示す。CDEの場合、処理時間と共にライフタイムは回復し、回復率80%となるには60秒(Si₃N₄換算削れ量17.7nm)必要である。また、熱酸化膜厚も同様に60秒でリファレンスと同等になる。

【0166】これに対し、AP-2を用いた場合では、

ライフタイムが特に良好な回復率を示すようにはならなかった。回復率は処理時間を延ばしても横這いであるが、熱酸化膜厚はSi₃N₄削れ量換算15.8nmでリファレンスの値と同等になる。AP-2でライフタイムが回復しなかった原因としてAP自身でのダメージが考えられる。

【0167】そこで、APのみでのライフタイムを評価した。この結果を図27に示す。Si₃N₄削れ量換算22.4nmでライフタイム回復率は34%となり80%以上の回復はならなかった。逆に熱酸化膜厚は12.5nmとリファレンス(未処理ウエハ)と同等の値を示し、エッチング後での結果と同じ傾向となった。上記分析結果からAP-2では極表面に変質層が生じることがわかつており、この変質層とライフタイム低下の関連性については後述する。

【0168】AP-2のみの後処理ではライフタイムが特に良好な回復率を示すようにはならなかったことから、SACエッチング→AP-2後にCDEを追加しライフタイム回復率のCDE時間依存性を評価した。この結果を図28に示す。AP-2はSi₃N₄換算削れ量8.8nmとした。AP-2後、CDE時間20秒(Si₃N₄換算削れ量6.0nm)でライフタイムは回復し、Si₃N₄の削れ量はCDEのみの18nmから15nmに低減できることがわかった。

【0169】以上の結果から、AP後にCDEを追加するとライフタイムを回復させることが可能であることがわかった。しかし、現状のCDEのみの後処理に比べれば、APを併用した場合の方が、ダメージ除去性が良く、Si₃N₄削れ量も低減できることがわかった。また、CDEの追加を必要としないAPのみによる後処理にはAP自身で導入するダメージを低減させることが必要であることがわかった。

【0170】次に、デバイス実装評価について説明する。まず、ハードマスクプロセスへの適用結果について説明する。製品実装評価によりAPの変質層除去効果を確認した。量産中の64MbitDRAMマスクにおいてキャバシタ用の接続孔形成時のエッチングのAPを同一ロット内で分流した。

【0171】このエッチング処理ではビット線とのショートマージンを確保するため後処理による寸法シフトを可能な限り抑える必要があり、また、SAC条件でエッチングを行っていることから後処理としてAPを適用した。AP条件としてAP-1およびAP-2を用いた。分流結果を図29に示す。

【0172】このエッチングではエッチングマスクとしてドープトポリシリコンのハードマスクを用いているため、エッチングマスクとしてフォトレジスト膜を用いる場合に比較して穴底のポリマー層が少ない。そのため、ポリマー層を除去するのに要する時間は短くて済む。AP-1とAP-2とを比較した場合、AP-2を用いた

方が電気的特性検査の結果は良かった。また、AP-2の処理時間分流の結果ではCDEと組合せにおいてAPは5秒(Si₃N₄換算削れ量8.8nm)以上必要である。

【0173】次に、レジストマスクプロセスへの適用結果について説明する。エッチングマスクとしてレジストマスクを用いたSACプロセスとして、量産中の64MbitDRAMのピット線と半導体基板との間の接続孔(半導体基板が露出する孔)の形成工程におけるAPの効果を評価した。この接続孔の形成工程において、エッチングの後処理を従来のCDEとAP+CDEに分流した。電気的特性検査で当該接続孔部の抵抗値(スペック: 20kΩ)は、CDE(60秒)で、その抵抗値は、11.60kΩ、AP(5秒)+CDE(30秒)で、その抵抗値は、11.91kΩとなり、従来のCDEと同等の値を得ることができた。また、APの追加によりCDEの処理時間を60秒から30秒に大幅に短縮することができ、後処理での寸法シフトを0.05μmから0.03μmに低減することができた。

【0174】次に、試作中の64MbitDRAMのキャパシタ用の接続孔(プラグ上部が露出する孔)の形成工程において、APでのAP-1、AP-2の違いを評価するために分流を行った。APの処理時間は5秒(Si₃N₄換算削れ量8.8nm)、CDEは30秒で行った。電気的特性検査での結果から(接続孔の抵抗値、スペック: 20kΩ)、AP-1で、その抵抗値は12.40kΩ、AP-2で、その抵抗値は7.50kΩとなり、AP-2の方が低い値となった。これは、上記した評価と一致し、AP-2の変質層除去特性が良いことを示している。

【0175】次に、穴底ポリマー層の除去評価について説明する。レジストマスクを用いたSACプロセスにおいては、エッチングの際にレジストから供給されるポリマー層によって、ハードマスクに比べてコンタクト穴底に厚いポリマー層が生じ、後処理前にそのポリマー層を取り除く必要がある。

【0176】そのため、APによる穴底ポリマー層の除去評価を行った。評価には図14(b)の試料を用いた。本試料では穴径が0.36~0.50μmとふつてあるので穴径の違いによる除去効果の違いも観察できる。APはAP-2を用い、断面SEM像(断面SEM: S-900(計)製)より穴底のポリマー層量を見積もった。この結果を図30(a), (b)に示す。

【0177】SACエッチング後のポリマー層は穴底径によって異なり、穴径が小さくなるほど厚くなる(0.36μm(穴底径: 0.10~0.14μm)で約45nm)。穴径0.40μm(穴底径: 0.16μm~)以上ではAP: 5秒でポリマー層は除去可能であるが、穴径0.36μmではAP: 9秒行ってもウエハ中心付近でポリマー層が残る。これはAP自身の均一性の悪さ(±21.

8%)が起因していると考えられる。また、AP: 5秒、CDE: 30秒行った後でも中心付近にわずかにポリマー層が残った。穴径0.36μmでのウエハ中心付近のポリマー層がAP: 12秒で除去が終わったと仮定した場合、APによるポリマー層の除去レートは平均3.8nm/sec.である。

【0178】次に、CF₄/O₂/Arプロセスの特性評価について説明する。上述ではAPのガス系としてCF₄/Ar、CF₄/O₂を用いたプロセスを評価した。しかし、均一性が充分でない(±21.8%)、APのみではライフタイムは回復しない等の問題点があることがわかった。また、AP-2では小流量プロセスのためエッチング後のAPでは処理圧力の安定化に時間がかかるといった問題もあることがわかった。

【0179】そこで、高精度なAPの開発に向けて均一性、選択比を向上させ、かつ、処理圧力の安定化を目的にCF₄/O₂プロセスにArの添加を試み、プロセスの最適化を行った。CF₄/O₂/Arプロセス(AP-3とする)の条件を図31に示す。本条件は下部Vpp=500Vで、均一性=±8.1%が得られている。

【0180】次に、本プロセス(AP-3)のSi-C除去特性をライフタイムおよびXPS/LEISにて評価した。

【0181】まず、ライフタイムによる評価は次の通りである。ライフタイム回復率のAP時間依存性を評価した。SACエッチングは21秒行っている。この結果を図32に示す。なお、図32において白丸はライフタイム、黒丸は熱酸化膜厚をプロットしたものである。

【0182】ライフタイムはSi₃N₄換算削れ量5.7nmで約6.5%まで回復する。処理時間を延ばしてもそれ以上は回復せず、Si₃N₄換算削れ量20.0nm以上でライフタイムは低下し始める。熱酸化膜厚の推移は処理時間と共にリファレンスに近づきSi₃N₄換算削れ量11.5nm以上でリファレンスと同等になるが、ライフタイムの低下と共に熱酸化膜厚も減少する。上述の結果から処理時間によるライフタイム低下の原因はAP自身のダメージによるものと考えられる。APのみによるライフタイム評価は図32のようになり、AP自身のダメージはAP-2と同程度と推定される。

【0183】次に、AP後にCDEを追加し、その時間依存性をライフタイムにより評価した。APはSi₃N₄削れ量換算: 5.7nmで行った。この結果を図33に示す。CDEの時間と共にライフタイムは回復(白丸)、20秒で98%まで回復する。熱酸化膜厚はAPのみでリファレンスレベルまで回復しているのでCDEを追加しても、時間依存性はほとんど無い(黒丸)。

【0184】また、AP-3(Si₃N₄換算削れ量6nm)の後にCDEを行った場合とCDEのみの場合との評価結果を図34に示す。AP-3処理後にCDEを追加することでライフタイム回復率が90%以上になる

ことがわかる。また、CDEのみの場合に比べて少ない Si_3N_4 削れ量で高いライフタイム回復率を得られることがわかる。

【0185】次に、XPS/LEISによる評価結果は次の通りである。AP-3による $Si-C$ の除去率を定量的に評価するためにXPS/LEISによる評価を行った。SACエッティング後、AP-3を行った時の $Si-C$ 、 SiO_x のatomic%、ダメージ層厚さの結果を図35に示す。APは Si_3N_4 換算削れ量: 8.8 nmで行った。 $Si-C$ の除去速度から選択比を求めるとき0.162となり、これまでのAPに比べ高選択な後処理である。

【0186】またAP-3とCDEとの $Si-C$ 層の除去特性を図36に示す。この結果からもAP-3の選択比($Si-C/Si_3N_4$)の方が、CDEの場合よりも大きくとれることがわかる。また、この結果からはAP-3だけでは $Si-C$ 層を完全に除去できない場合があることがわかり、この場合にはCDEを追加することが必要であることもわかる。

【0187】次に、表面の結晶状態を観察するためにLEISによる評価を行った。試料はSACエッティング直後およびAP-3を行ったものを用いた。角度分解スペクトルの結果を図37(a), (b)および図38に示す。なお、図37(a)は未処理ウエハのLEIS結果であり、同図(b)はエッティング後にAP-3処理を行ったウエハのLEIS結果である。また、図38はAP-2とAP-3との比較を示したものである。

【0188】SACエッティング直後のスペクトルは入射角度依存性がなく、表面がアモルファス化している。AP-3後のスペクトルにおいては<100>のチャネリングディップと11°のフォーカシングピークがわずかに観測され、結晶性は若干回復している。しかし、上述の結果より CF_4/O_2 プロセスにおいては Si 結晶に対応する入射角度依存性が観測されており結晶性の回復は良い。AP-3ではArによるスパッタリング効果から表面の結晶性は完全には回復しなかったと考えられる。

【0189】XPSの結果からAP-3はAP-2と比べ高選択なAPであることがわかった。しかし、LEISの結果からでは結晶性についてはAP-2よりもAP-3の方が乱れており(図38)、これは添加したArのスパッタリング効果によるものである。したがって、AP-3をより低ダメージの後処理とするにはArのスパッタリング効果を最小限にしなければならない。また、そうすることでAPのみでの後処理も可能になると考えられる。

【0190】AP-2において選択比の下部Vpp依存性を評価した結果を図39に示す。この場合もVppの増加(=イオンエネルギーの増加)に伴い選択比は低下する。高選択比を得るために下部Vpp=600V以

下でなければならないことがわかる。AP-3でこの条件を満たす下部RFパワーは50W以下であることがわかる。

【0191】次に、以上の結果から各APの特性を図40に示す。AP-1では、従来のCDEに比べ、5倍の $Si-C$ 層除去速度を持ち、同等の選択比をもつことがわかる。また、AP-2では、従来のCDEに比べ、8倍の $Si-C$ 層除去速度を持ち、高い選択比を持つことがわかる。AP-3では、従来のCDEによる後処理に比べ、9倍の $Si-C$ 層除去速度を持ち、2倍以上の Si_3N_4 選択比を持つことがわかる。

【0192】次に、デバイスに適用した時のCDEによる後処理とAP(+CDE)との比較を図41に示す。AP-2(CF_4/O_2)を適用した場合では、ライフタイム回復率85%において、寸法シフトで0.03μm、 Si_3N_4 削れで16.5%の低減が可能となる。また、AP-3($CF_4/O_2/Ar$)を適用した場合には、ライフタイム回復率95%において、寸法シフトで0.013μm(低減量は0.05-0.013=0.037μm)、 Si_3N_4 削れで33%の低減が可能となる。

【0193】次に、エッティングダメージ層厚さの評価について説明する。実際のレジストマスク付きウエハをエッティングした場合とウエハを全面処理した場合とでは、レジストからのポリマー供給やエッティングによる反応生成物の影響からエッティングダメージ層の厚さが変わってくる。

【0194】上述のSACエッティングによる変質層の除去特性評価からAPの $Si-C$ 除去速度は Si のエッティング速度に対して低下する(AP-2の場合、選択比($Si-C$ の除去速度/ Si のエッティング速度)=0.21)。

【0195】そこで、穴底での Si のエッティング速度の違いから穴底でのダメージ層の厚さを推定した。SACエッティングを40%(17秒)のオーバーエッティング率で行った後、APの処理時間を変化させ基板 Si の削れ量の処理時間依存性を断面SEM像(断面SEM: (計) 製S-5000)から評価した。APには、AP-2の標準仕様を用いた。この結果を図42に示す。

【0196】エッティング直後では穴底にポリマー層が存在し、その除去に必要な時間を穴径の大きさから図42ではAP時間を5秒と仮定した。この結果により、エッティング速度の変化が観測され、エッティング速度が低下する深さが約2.0 nmあると見積もれた。上述での評価によりエッティングの処理時間を合わせた時の全面処理ウエハでのエッティングダメージ層(SiO_x 換算)深さは約0.7 nmであることから穴底では約2倍の厚さの変質層が存在していると推測される。また、変質層除去速度を求めるとき約17 nm/minとなる。

【0197】以上の結果から実際のレジストマスク付きウエハの穴底では全面処理ウエハの約2倍の変質層が存

在しており、それはレジストマスク付きウエハをエッチングする場合、レジストのエッチングによるプラズマ中の炭素(C)によって、基板に導入される炭素量が増加し変質層が増加するための考えられる。また、APによる変質層除去速度(SiO_x換算)は全面処理に比べ穴底では約4倍速いことがわかった。

【0198】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0199】たとえば前記実施の形態1では下部電極のピークトゥピーク電圧を600V以上とした場合について説明したが、これに限定されるものではなく、600V以下としても良い。これにより、後処理時に大きなダメージを与えることなく、選択比(SiC層/シリコン塗化膜)を下げることなく、特性劣化層を除去できる。

【0200】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるDRAMにおける接続孔形成技術に適用した場合について説明したが、それに限定されるものではなく、例えばSRAMやフラッシュメモリ(EEPROM)等のようなメモリ回路、マイクロプロセッサ等のような論理回路またはメモリ回路と論理回路とを混在させた回路等の接続孔形成技術に適用できる。

【0201】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0202】(1). 本発明によれば、セルファーラインコントラクト工程後に半導体基板に対して四フッ化炭素を含むエッチングガスを用いた異方性のドライエッチング処理を施すことにより、後処理時における選択比(SiC層/シリコン塗化膜)をCDEのみの場合とほぼ同程度にした状態で、SiC層の除去速度をCDEのみの場合よりも向上させることができる。このため、後処理時間を短縮することが可能となる。

【0203】(2). 上記(1)により、接続孔の寸法シフト量をCDEのみで後処理を行う場合に比べて低減することが可能となる。このため、接続孔形成時の寸法精度を向上させることができるので、接続孔形成のための余裕を小さくすることができる。したがって、素子や配線の微細化を推進することができるので、素子集積度を向上させることができとなる。

【0204】(3). 上記(1)により、接続孔周囲の絶縁膜の削れ量をCDEのみで後処理を行う場合に比べて低減することが可能となる。このため、接続孔内に形成される導体部と隣接導体部とが接触する不良を低減することができるので、半導体集積回路装置の歩留まりおよび信頼性を向上させることができとなる。

【0205】(4). 本発明によれば、接続孔の形成後に四

フッ化炭素を含むエッチングガスを用いた異方性のドライエッチング処理を施す後処理工程と、前記後処理工程後に化学的ドライエッチング処理を施す工程とを有することにより、後処理のためのドライエッチング処理により接続孔の底部が受けた損傷を低減することが可能となる。

【0206】(5). 本発明によれば、接続孔の形成後に四フッ化炭素を含むエッチングガスを用いた異方性のドライエッチング処理を施す後処理工程と、前記後処理工程後に化学的ドライエッチング処理を施す工程とを有することにより、接続孔の底部の電気的特性(ライフタイム回復率)を向上させることができる。

【0207】(6). 本発明によれば、接続孔の形成後に四フッ化炭素を含むエッチングガスを用いた異方性のドライエッチング処理を施す後処理工程と、前記後処理工程後に化学的ドライエッチング処理を施す工程とを有することにより、SiC層の除去速度を向上させることができるので、後処理をCDE処理のみで行う場合に比べて、CDEの処理時間を短縮することが可能となる。

【0208】(7). 本発明によれば、後処理時のエッチングガスを四フッ化炭素および酸素としたことにより、CDEを用いた場合や四フッ化炭素およびアルゴンガスを用いた場合に比べて、特にSiC層の除去速度を向上させることができるので、後処理をCDE処理のみで行う場合に比べて、CDEの処理時間を短縮することが可能となる。

【0209】(8). 上記(7)により、後処理時間を短縮させることができるので、後処理時間を短縮させることができとなる。

【0210】(9). 本発明によれば、後処理時のエッチングガスを四フッ化炭素および酸素としたことにより、CDEを用いた場合や四フッ化炭素およびアルゴンガスを用いた場合に比べて、特性劣化層、特にSiC層の除去特性を向上させることができるので、接続孔内における導体膜と接続部との接触抵抗を低減することができる。

【0211】(10). 本発明によれば、後処理時のエッチングガスを四フッ化炭素および酸素としたことにより、CDEを用いた場合や四フッ化炭素およびアルゴンガスを用いた場合に比べて、選択比(SiC層/シリコン塗化膜)を向上させることができるので、後処理時間を短縮させることができとなる。

【0212】(11). 上記(8)または(10)により、CDEを用いた場合や四フッ化炭素およびアルゴンガスを用いた場合に比べて、接続孔の寸法シフト量および接続孔周囲の絶縁膜の削れ量を低減することができる。

【0213】(12). 上記(11)により、接続孔の寸法シフト量をCDEのみで後処理を行う場合に比べて低減することができる。このため、接続孔形成時の寸法精度を向上させることができるので、接続孔形成のための余裕を小さくすることができる。したがって、素子や配線の微細化を推進することができるので、素子集積度を向上させることができとなる。

【0214】(13). 上記(11)により、接続孔周囲の絶縁

膜の削れ量をCDEのみで後処理を行う場合に比べて低減することが可能となる。このため、接続孔内に形成される導体部と隣接導体部とが接触する不良を低減することができるので、半導体集積回路装置の歩留まりおよび信頼性を向上させることができるとなる。

【0215】(14). 本発明によれば、四フッ化炭素および酸素ガスを用いた異方性のドライエッチング処理後にCDE処理を施すことにより、四フッ化炭素および酸素ガスを用いた異方性のドライエッチング処理のみの場合に比べて、接続孔の底部が後処理により受けたダメージを低減することが可能となる。

【0216】(15). 本発明によれば、四フッ化炭素および酸素ガスを用いた異方性のドライエッチング処理後にCDE処理を施すことにより、四フッ化炭素および酸素ガスを用いた異方性のドライエッチング処理のみの場合に比べて、接続孔の底部の電気的特性(ライフタイム回復率)を向上させることができるとなる。

【0217】(16). 本発明によれば、四フッ化炭素および酸素ガスを用いた異方性のドライエッチング処理後にCDE処理を施すことにより、当該異方性ドライエッチングによりSiC層の除去速度を向上させることができるので、後処理をCDE処理のみで行う場合に比べて、CDEの処理時間を短縮することが可能となる。

【0218】(17). 本発明によれば、後処理時のエッティングガスを四フッ化炭素、酸素およびアルゴンガスとしたことにより、CDEを用いた場合や四フッ化炭素およびアルゴンガスまたは四フッ化炭素および酸素ガスを用いた場合に比べて、特にSiC層の除去速度を向上させることができるとなる。

【0219】(18). 上記(17)により、後処理時間を短縮させることができるとなる。

【0220】(19). 本発明によれば、後処理時のエッティングガスを四フッ化炭素、酸素およびアルゴンガスとしたことにより、CDEを用いた場合や四フッ化炭素およびアルゴンガスまたは四フッ化炭素および酸素ガスを用いた場合に比べて、特性劣化層、特にSiC層の除去特性を向上させることができる。このため、接続孔内における導体膜と下層の接続部との接触抵抗を低減することができる。

【0221】(20). 本発明によれば、後処理時のエッティングガスを四フッ化炭素、酸素およびアルゴンガスとしたことにより、CDEを用いた場合や四フッ化炭素およびアルゴンガスまたは四フッ化炭素および酸素ガスを用いた場合に比べて、選択比(SiC層/シリコン窒化膜)を大幅に向上させることができるとなる。

【0222】(21). 上記(18)または(20)により、CDEを用いた場合や四フッ化炭素および酸素ガスを用いた場合に比べて、接続孔の寸法シフト量および接続孔周囲の絶縁膜の削れ量を低減することができる。

【0223】(22). 上記(21)により、接続孔の寸法シフ

ト量をCDEのみで後処理を行う場合や四フッ化炭素および酸素ガスを用いた場合に比べて低減することができる。このため、接続孔形成時の寸法精度を向上させることができるので、接続孔形成のための余裕を小さくすることができる。したがって、素子や配線の微細化を推進することができるので、素子集積度を向上させることができるとなる。

【0224】(23). 上記(21)により、接続孔周囲の絶縁膜の削れ量をCDEのみで後処理を行う場合や四フッ化炭素および酸素ガスを用いた場合に比べて低減することができる。このため、接続孔内に形成される導体部と隣接導体部とが接触する不良を低減することができるので、半導体集積回路装置の歩留まりおよび信頼性を向上させることができるとなる。

【0225】(24). 本発明によれば、四フッ化炭素、酸素およびアルゴンガスを用いた異方性のドライエッチング処理後にCDE処理を施すことにより、四フッ化炭素、酸素およびアルゴンガスを用いた異方性のドライエッチング処理のみの場合に比べて、接続孔の底部が後処理により受けたダメージを低減することができる。

【0226】(25). 本発明によれば、四フッ化炭素、酸素およびアルゴンガスを用いた異方性のドライエッチング処理後にCDE処理を施すことにより、四フッ化炭素、酸素およびアルゴンガスを用いた異方性のドライエッチング処理のみの場合に比べて、接続孔の底部の電気的特性(ライフタイム回復率)を向上させることができるとなる。

【0227】(26). 本発明によれば、四フッ化炭素、酸素およびアルゴンガスを用いた異方性のドライエッチング処理後にCDE処理を施すことにより、当該異方性ドライエッチングによりSiC層の除去速度を向上させることができるので、後処理をCDE処理のみで行う場合に比べて、CDEの処理時間を短縮することができる。

【0228】(27). 本発明によれば、セルフアラインコントラクト工程と後処理工程とを同一チャンバ内において連続的に行うことにより、セルフアラインコントラクト工程から後処理工程に移行する際に、チャンバ内の真空度の設定、処理装置の準備および半導体基板のチャンバ間の搬送等を無くすことができるので、半導体集積回路装置の開発および製造にかかる時間を大幅に短縮することができる。

【0229】(28). 本発明によれば、後処理工程に際して下部電極のピークトゥピーク電圧を600V以下としたことにより、第1の絶縁膜と特性劣化層との選択比を下げるこことなく、また、後処理によって大きなダメージを与えることなく、特性劣化層を除去することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体集積回路装

置の製造工程における要部断面図である。

【図2】図1に続く半導体集積回路装置の製造工程における要部断面図である。

【図3】図1に続く半導体集積回路装置の製造工程における要部断面図である。

【図4】図1に続く半導体集積回路装置の製造工程における要部断面図である。

【図5】図1に続く半導体集積回路装置の製造工程における要部断面図である。

【図6】図1に続く半導体集積回路装置の製造工程における要部断面図である。

【図7】図1に続く半導体集積回路装置の製造工程における要部断面図である。

【図8】図1に続く半導体集積回路装置の製造工程における要部断面図である。

【図9】図1に続く半導体集積回路装置の製造工程における要部断面図である。

【図10】図1に続く半導体集積回路装置の製造工程における要部断面図である。

【図11】図1に続く半導体集積回路装置の製造工程における要部断面図である。

【図12】図1に続く半導体集積回路装置の製造工程における要部断面図である。

【図13】本発明の実験に用いるエッチング装置と他のエッチング装置とを比較した説明図である。

【図14】(a) および (b) は本発明の実験に用いる断面形状評価用ダミーの説明図である。

【図15】本発明の実験時における分析用試料作成フロー図である。

【図16】本発明の実験時におけるエッチング等の基準条件を説明するための説明図である。

【図17】本発明の後処理評価のためのプロセスステップを示すフロー図である。

【図18】本発明の後処理評価のための後処理条件を説明するための説明図である。

【図19】本発明の後処理評価のためのXPSの測定結果を示すグラフ図である。

【図20】本発明の後処理評価のためのLEISの測定結果を示すグラフ図である。

【図21】(a) および (b) は本発明の後処理評価のためのAFMイメージ像の説明図である。

【図22】本発明の後処理評価のためのAFMの測定結果を示すグラフ図である。

【図23】本発明の後処理評価のためのXPSの測定結果を示すグラフ図である。

【図24】本発明の後処理評価のためのLEISの測定結果を示すグラフ図である。

【図25】(a) および (b) は本発明の後処理評価のためのAFMイメージ像の説明図である。

【図26】本発明の後処理における選択比 (SiC/シリコン窒化膜) の下部電極への印加電圧依存性を説明するための説明図である。

【図27】本発明の後処理評価のためのライフタイム回復率の測定結果を示すグラフ図である。

【図28】本発明の後処理評価のためのライフタイム回復率の測定結果を示すグラフ図である。

【図29】本発明の後処理分流結果を示すグラフ図である。

【図30】(a) および (b) は本発明の後処理によるポリマー層除去評価結果を示すグラフ図である。

【図31】本発明の後処理評価のための後処理条件を説明するための説明図である。

【図32】本発明の後処理評価のためのライフタイム回復率の測定結果を示すグラフ図である。

【図33】本発明の後処理評価のためのライフタイム回復率の測定結果を示すグラフ図である。

【図34】本発明の後処理評価のためのライフタイム回復率の測定結果を示すグラフ図である。

【図35】本発明の後処理評価の測定結果を示すグラフ図である。

【図36】本発明の後処理による選択比 (SiC/シリコン窒化膜) の測定結果を示すグラフ図である。

【図37】本発明の後処理後のLEIS結果を示す説明図であって (a) は未処理ウエハのLEIS結果の説明図、(b) はエッチング後に本発明の後処理を行ったウエハのLEIS結果の説明図である。

【図38】本発明の2つの後処理のLEIS結果を比較するグラフ図である。

【図39】本発明の後処理における選択比 (SiC/シリコン窒化膜) の下部電極への印加電圧依存性を説明するための説明図である。

【図40】本発明の後処理特性結果を説明するための説明図である。

【図41】本発明の後処理特性結果を説明するための説明図である。

【図42】本発明の後処理における特性劣化層によるエッチング速度の変化を示すグラフ図である。

【符号の説明】

- 1 半導体基板
- 2 pウエル
- 3 フィールド絶縁膜
- 4 ゲート絶縁膜
- 5 ゲート電極
- 5a 低抵抗ポリシリコン膜
- 5b シリサイド膜
- 6 キャップ絶縁膜 (第1の絶縁膜)
- 7 サイドウォール (第1の絶縁膜)
- 8 絶縁膜 (第2の絶縁膜)
- 9a~9f 層間絶縁膜 (第2の絶縁膜)
- 10a~10c マスク膜

11a～11c 接続孔

12 プラグ

13a 半導体領域

13b 半導体領域

14a, 14b 等体膜

15 絶縁膜

16 絶縁膜

17 導体膜

18 絶縁膜

18a 絶縁膜

19 蓄積電極

19a 底部

19b 側部

20 絶縁膜

21 容量絶縁膜

22 プレート電極

23a 第1層配線

23b 第2層配線

WL ワード線

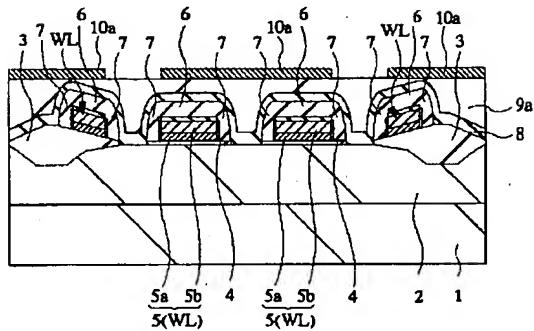
BL ピット線

Q メモリセル選択用MOS-FET

C キャパシタ

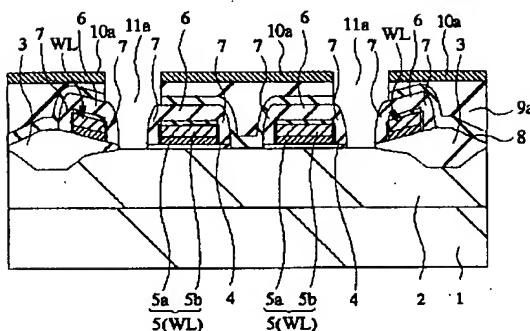
【図1】

図1



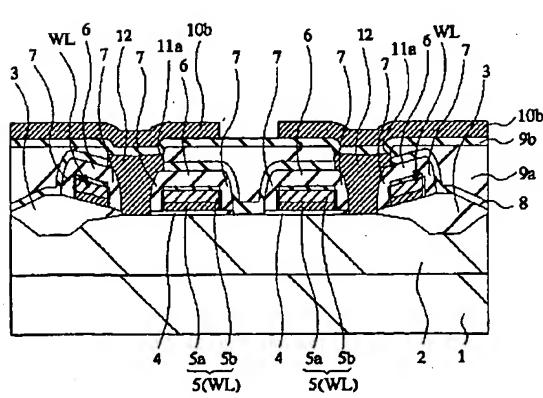
【図2】

図2



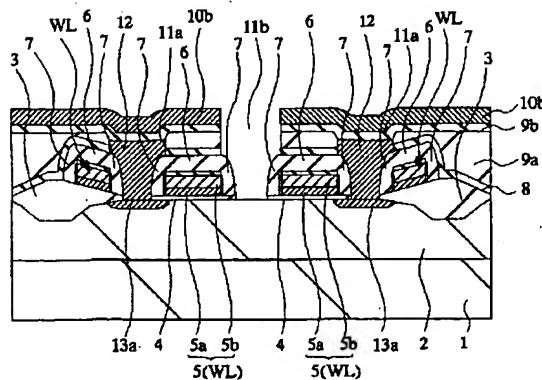
【図3】

図3



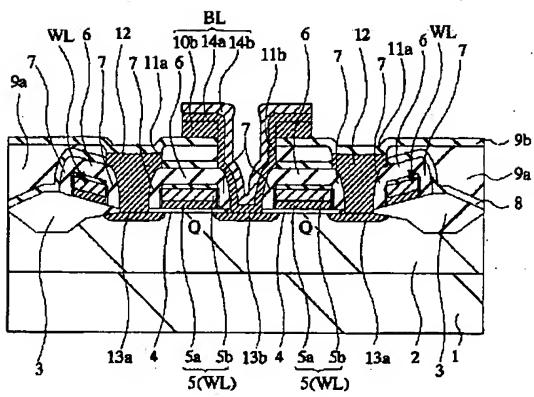
【図4】

図4



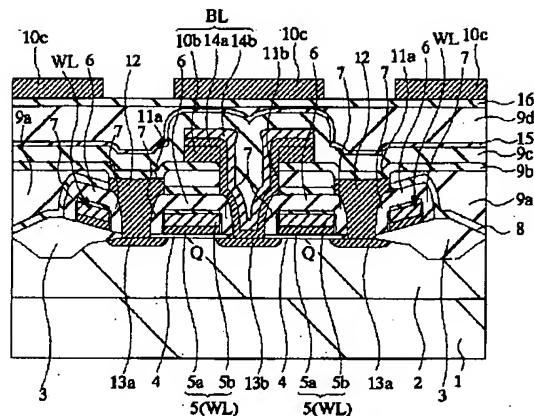
【図5】

図5



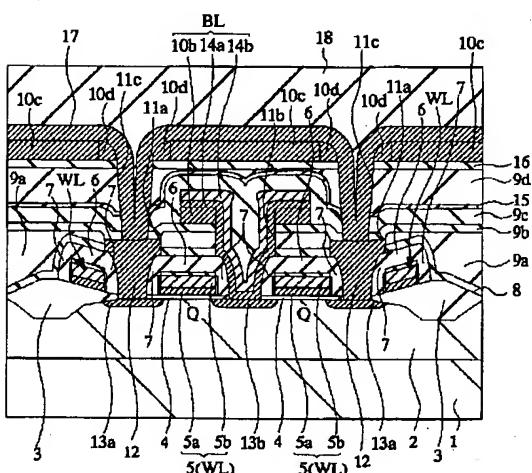
【図6】

図6



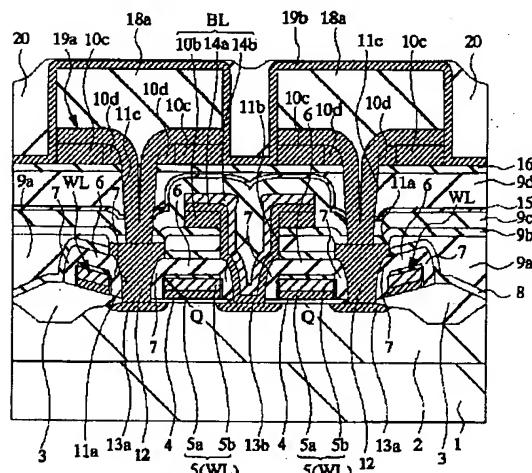
【図7】

図7



【図8】

図8



【図18】

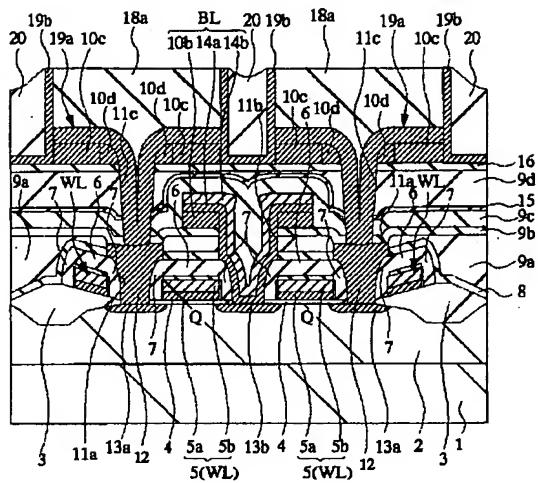
図18

装置: UNITY-II-85DI

パラメータ	AP-1 (CF ₄ /Ar)	AP-2 (CF ₄ /O ₂)
圧力 [Pa]	13	13
RFパワー(上部) [W] (下部) [W]	500 200	500 50
CF ₄ 流量 [ml/min]	50	30
A ₂ 流量 [ml/min]	400	-
O ₂ 流量 [ml/min]	-	20
下部電極温度 [°C]	0	0
Si ₃ N ₄ エッチャリング速度 [nm/min]	87.8	105.9

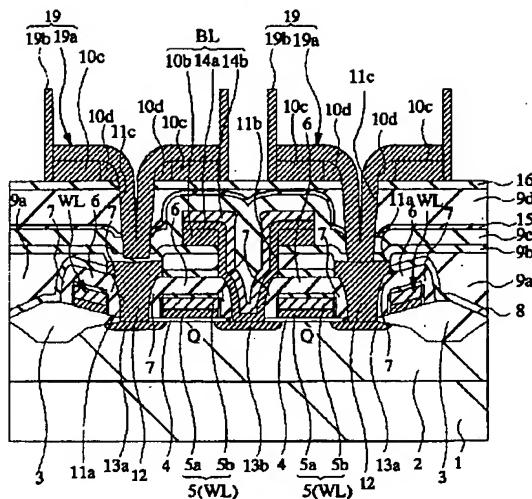
【図9】

図9



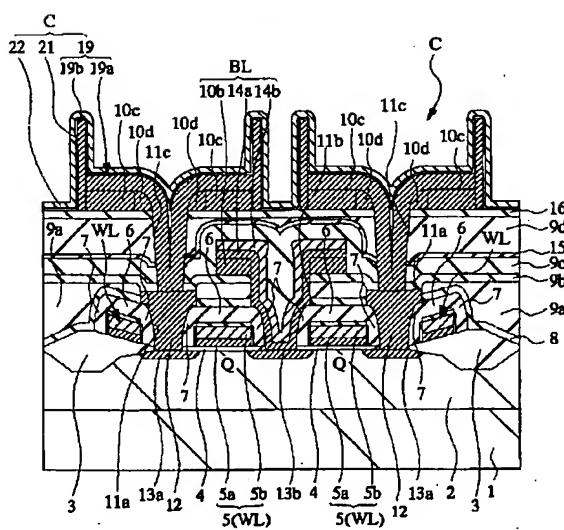
【図10】

図10



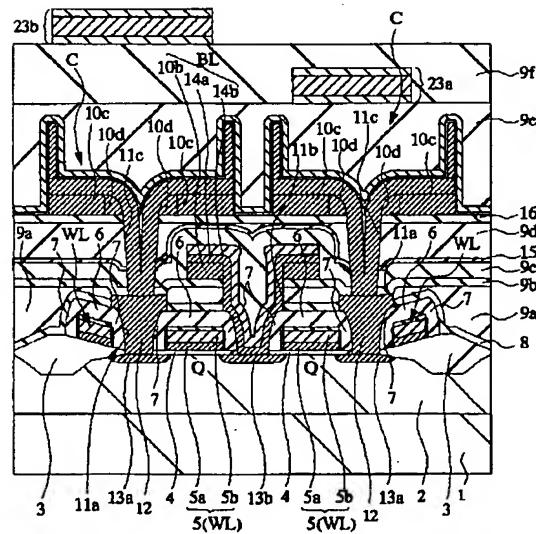
【図11】

図11



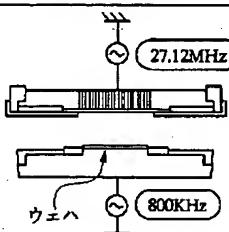
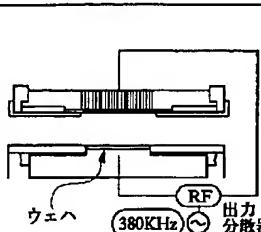
【図12】

図12



【図13】

図13

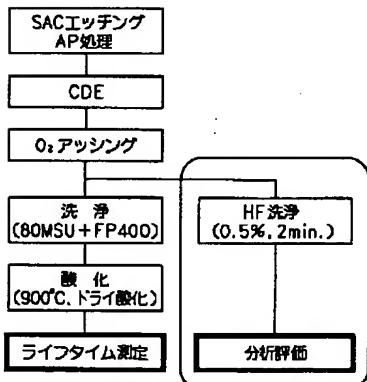
装置	2周波狭電極RIE	狭電極RIE
		
圧力[Pa]	5	13
電子密度[cm ⁻³]	~10 ¹¹	~10 ¹⁰
電子温度[eV]	~3	~1
イオン化率[%]	~0.1	~0.01
平均自由行程[nm]	~1	0.5
イオンシース[nm]	~0.1	~0.2
衝突頻度	~0.1	~0.4
イオン発散角 σ [°]	2~3	5~6

【図15】

図15

【図16】

図16



【図31】

パラメータ	SAC エッチング	CDE	アッシング
	UNITY-II -85DI (TEL)	TCA-3822 (東京応化)	Ram8500 (Ramco)
圧力 [Pa]	4	80	107
RFパワー(上部) [W] (下部) [W]	2000 1400	600 -	1500 -
CF ₄ 流量 [ml/min]	.12	0	0
CF ₄ 流量 [ml/min]	0	35	0
A ₂ 流量 [ml/min]	400	0	0
O ₂ 流量 [ml/min]	5	45	1500
下部電極温度 [°C]	0	40	90

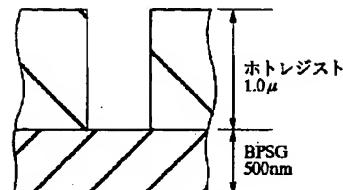
図31

パラメータ	AP-3
圧力 [Pa]	9
RFパワー(上部) [W] (下部) [W]	2000 200
CF ₄ 流量 [ml/min]	30
A ₂ 流量 [ml/min]	200
O ₂ 流量 [ml/min]	20
電極間隔 [mm]	25
下部電極温度 [°C]	0

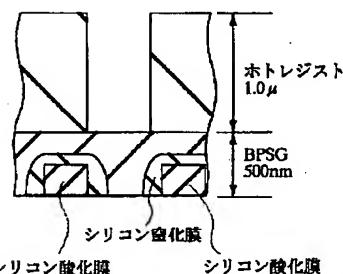
【図14】

図14

(a)

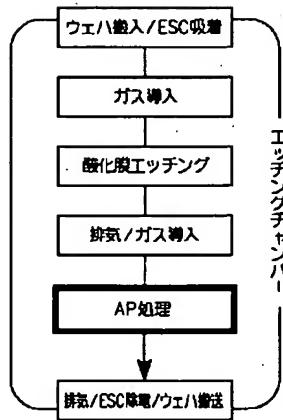


(b)



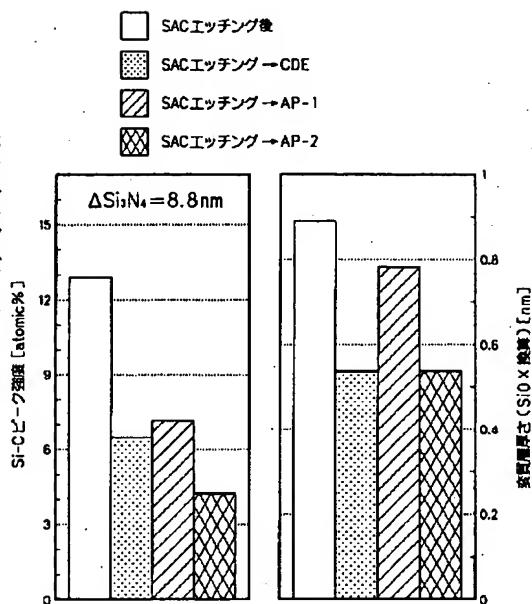
【図17】

17



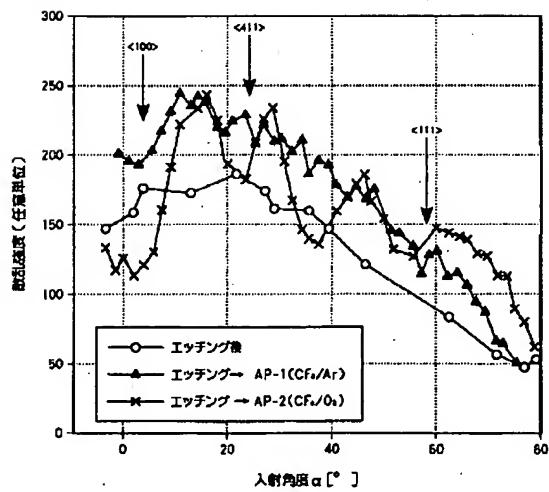
【图19】

19



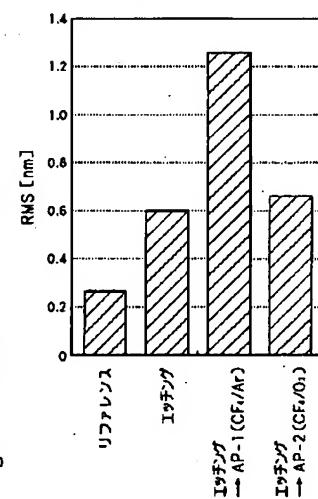
【图20】

20



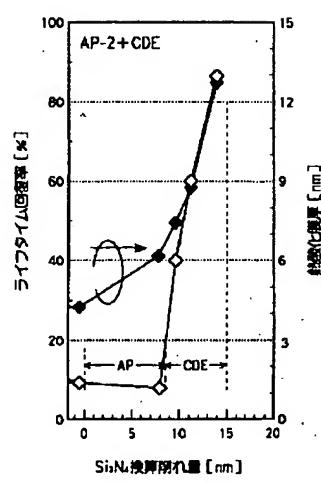
【図22】

22



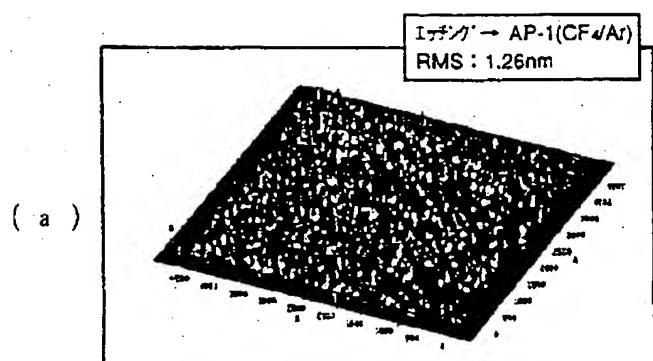
【図28】

28

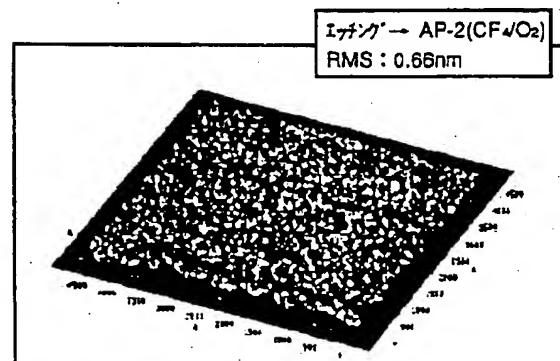


【図21】

図21



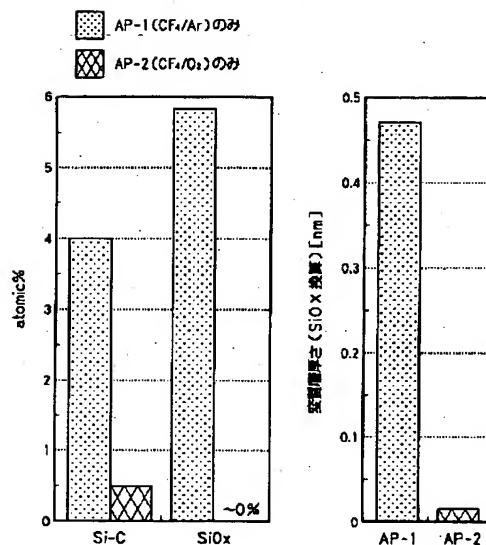
(a)



(b)

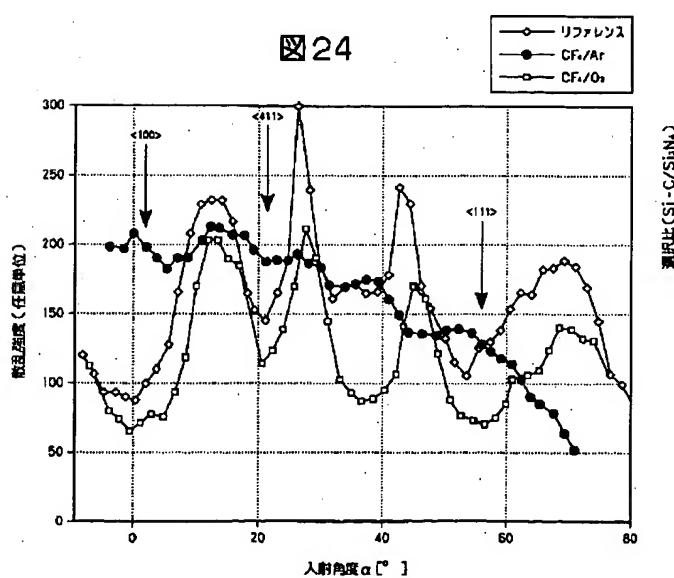
【図23】

図23



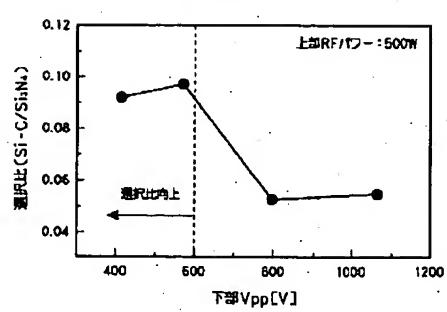
【図24】

図24



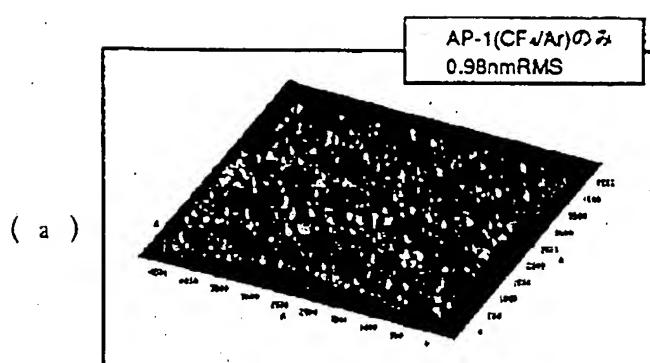
【図26】

図26

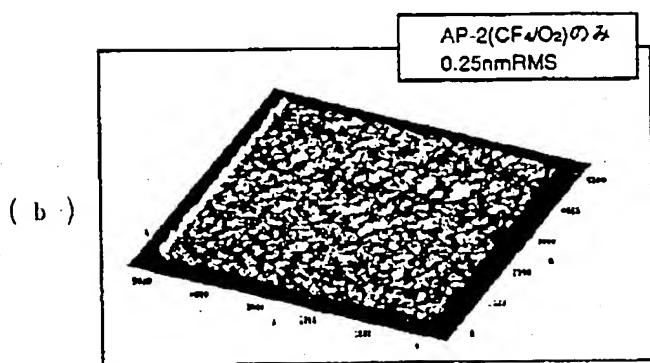


【図25】

図25



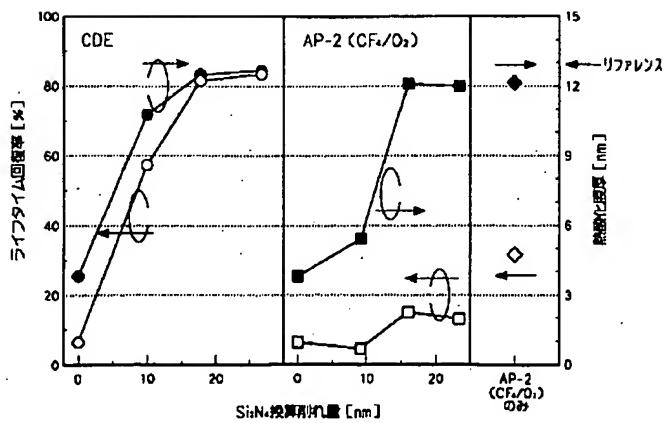
(a)



(b)

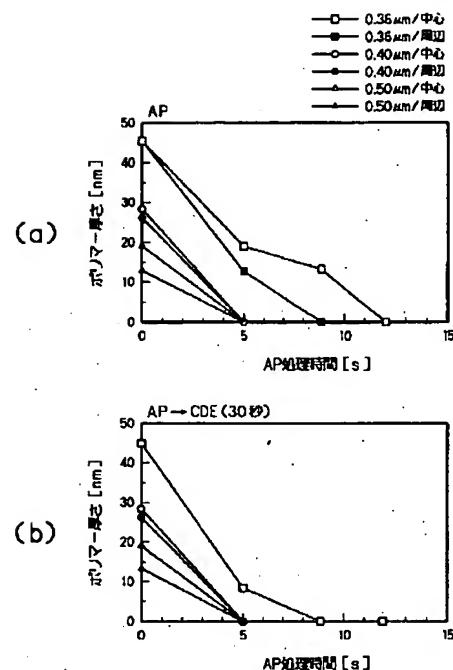
【図27】

図27



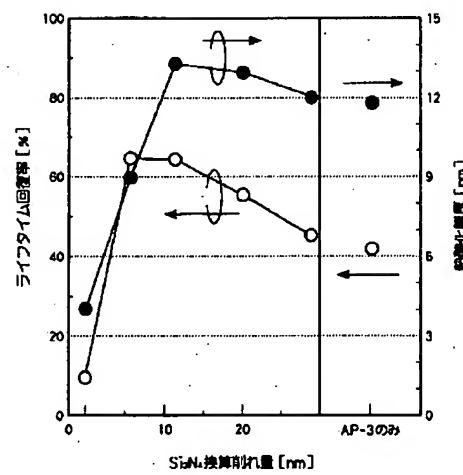
【図30】

図30



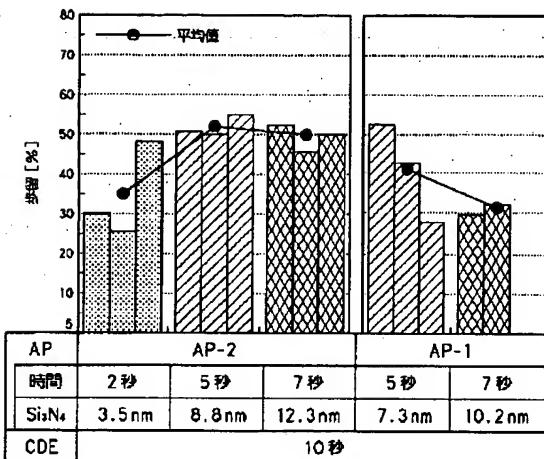
【図32】

図32



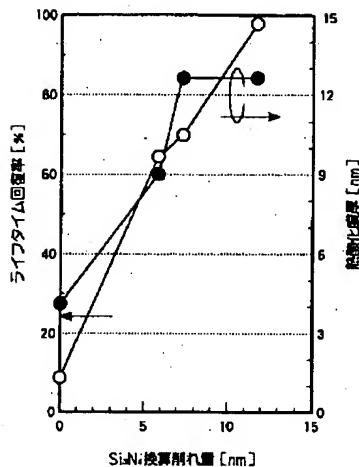
【図29】

図29



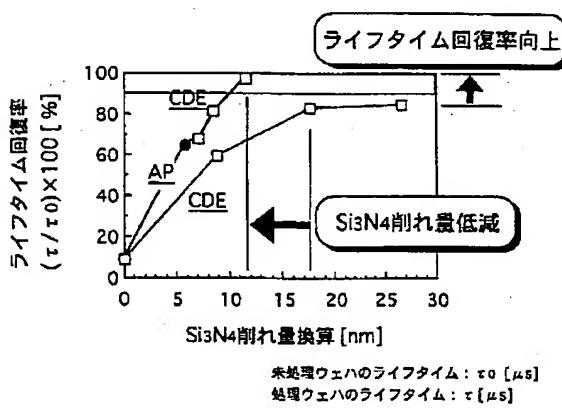
【図33】

図33



【図34】

図34



【図40】

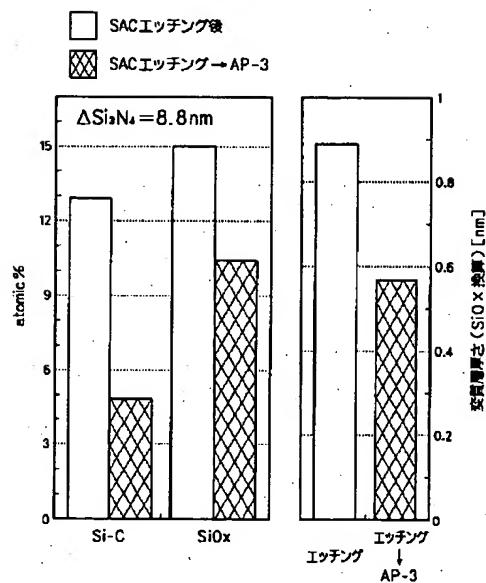
図40

	AP-1 (CF ₄ /Ar)	AP-2 (CF ₄ /O ₂)	AP-3 (CF ₄ /O ₂ /Ar)	CDE
均一性*1 [±%]	10.3	21.4	6.9	2.9
Si-C層除去速度 [atomic% / s]	1.1	1.73	1.86	0.21
選択比 (Si-C/Si ₃ N ₄)	0.072	0.098	0.162	0.073

*1 ドープトボリシリコンのエッティング速度の均一性

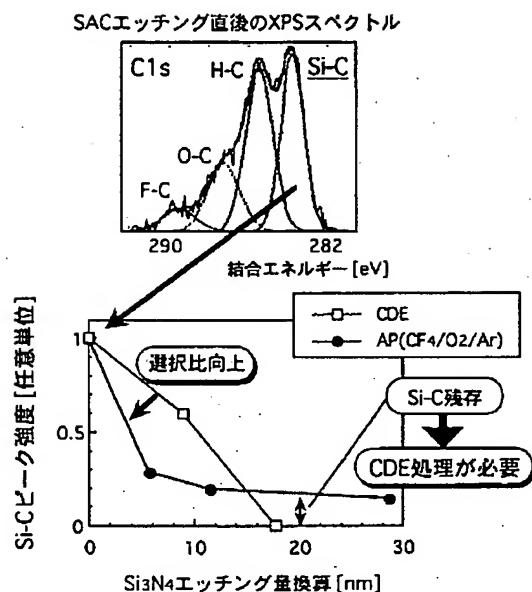
【図35】

図35



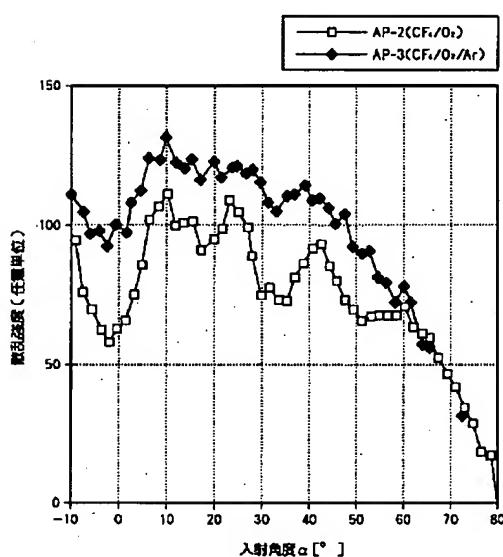
【図36】

図36



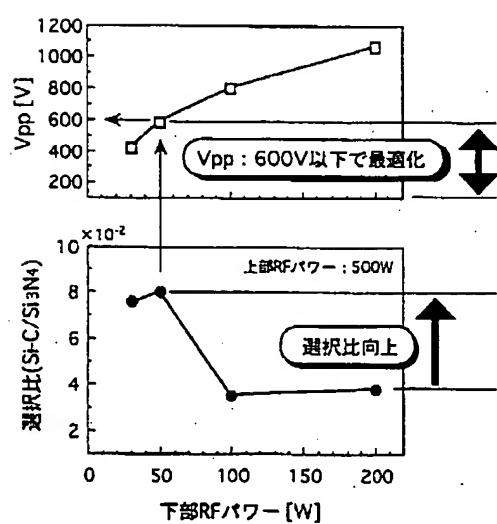
【図38】

図38



【図39】

図39



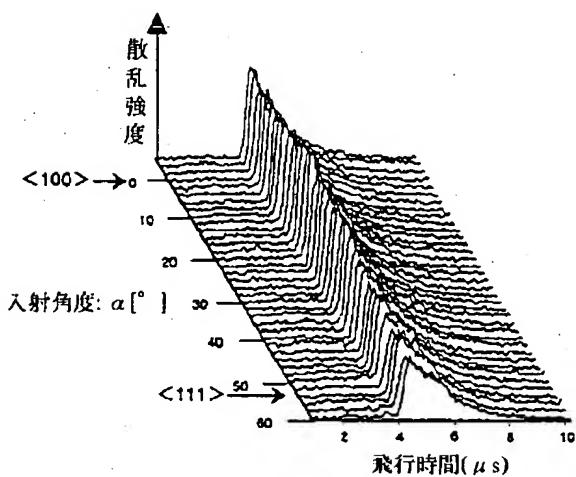
【図41】

図41

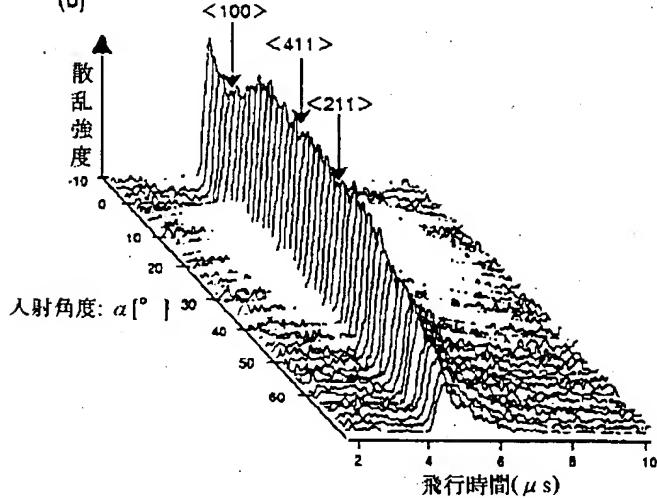
	CDE 60秒	AP(CF ₄ /O ₂) + CDE 20秒	AP(CF ₄ /O ₂ /Ar) + CDE 20秒
寸法シフト [μm]	0.05	0.03	0.013
Si ₃ N ₄ 削り量 [nm]	18	15	12
選択性 (Si-C/Si ₃ N ₄)	0.07	0.09	0.12
ライフタイム [%]	80	85	98

【図37】

(a) 図37

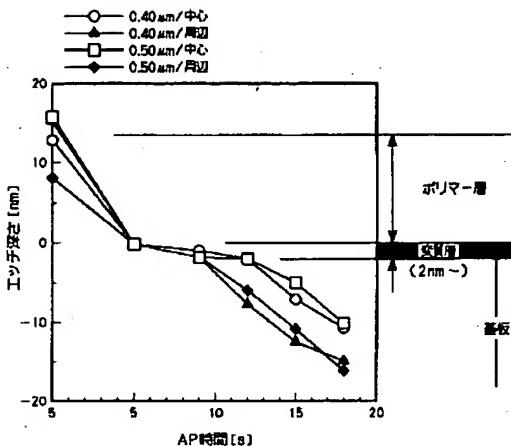


(b)



【図42】

図42



フロントページの続き

(72) 発明者 新井 宏征	(72) 発明者 保田 正之
茨城県ひたちなか市市毛882番地 株式会	茨城県稻敷郡美浦村木原2350 日本テキサ
社日立製作所計測器事業部内	ス・インスツルメンツ株式会社内
(72) 発明者 児島 雅之	(72) 発明者 宮崎 隆行
東京都小平市上水本町五丁目20番1号 株	茨城県稻敷郡美浦村木原2350 日本テキサ
式会社日立製作所半導体事業部内	ス・インスツルメンツ株式会社内
(72) 発明者 勝山 清美	(72) 発明者 大塚 実
東京都青梅市新町六丁目16番地の3 株式	茨城県稻敷郡美浦村木原2350 日本テキサ
会社日立製作所デバイス開発センタ内	ス・インスツルメンツ株式会社内
(72) 発明者 塩屋 雅弘	(72) 発明者 帰山 敏之
東京都小平市上水本町五丁目20番1号 株	茨城県稻敷郡美浦村木原2350 日本テキサ
式会社日立製作所半導体事業部内	ス・インスツルメンツ株式会社内
(72) 発明者 西村 美智夫	茨城県稻敷郡美浦村木原2350 日本テキサ
	ス・インスツルメンツ株式会社内

